

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局(43) 国際公開日  
2004 年 4 月 15 日 (15.04.2004)

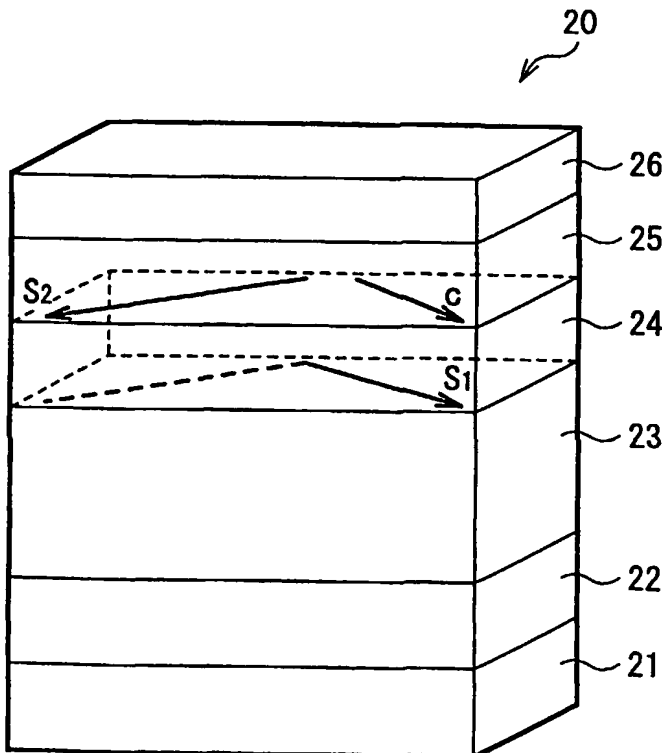
PCT

(10) 国際公開番号  
WO 2004/032238 A1

- (51) 国際特許分類: H01L 27/105, 43/08, 43/10 (72) 発明者; および  
(75) 発明者/出願人 (米国についてのみ): 角野 宏治 (KADONO, Koji) [JP/JP]; 〒141-0001 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社内 Tokyo (JP). 阿多 誠文 (ATA, Masafumi) [JP/JP]; 〒141-0001 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社内 Tokyo (JP).
- (21) 国際出願番号: PCT/JP2003/012647
- (22) 国際出願日: 2003 年 10 月 2 日 (02.10.2003)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:  
特願2002-290731 2002 年 10 月 3 日 (03.10.2002) JP  
特願2002-290732 2002 年 10 月 3 日 (03.10.2002) JP
- (74) 代理人: 藤島 洋一郎 (FUJISHIMA, Youichiro); 〒160-0022 東京都新宿区新宿 1 丁目 9 番 5 号 大台ビル 2 階 Tokyo (JP).
- (81) 指定国 (国内): CN, KR, US.
- 添付公開書類:  
— 国際調査報告書
- (71) 出願人 (米国を除く全ての指定国について): ソニー株式会社 (SONY CORPORATION) [JP/JP]; 〒141-0001 東京都品川区北品川 6 丁目 7 番 3 5 号 Tokyo (JP).  
2 文字コード及び他の略語については、定期発行される各 PCT ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(54) Title: MEMORY ELEMENT AND MEMORY DEVICE

(54) 発明の名称: メモリ素子およびメモリ装置



(57) Abstract: There are provided a memory element and a memory device capable of obtaining a spin conduction layer having a sufficient spin coherence length and a uniform spin field which enable implementation in practice. The spin conduction layer (paramagnetic layer) (24) is, for example, a thin film of fullerene having a thickness of 0.5 nm to 5  $\mu$ m. The fullerene has a hollow space of size 0.1 nm to 50 nm and a paramagnetic material is contained in this hollow space. In the fullerene thin film, a Fermi vector is preferably superimposed on the minority-spin-band or the majority-spin-band of the ferromagnetic fixed layer (23) and the ferromagnetic free layer (25) and the spin orientation of the paramagnetic material contained is at random. Furthermore, the electron spin in the fullerene is in a quantized state in the pseudo-0-dimensional space. Thus, in the fullerene thin film, the spin coherence length becomes longer and no spin-polarized conduction electrons are scattered.

(57) 要約: 十分なスピンコヒーレンス長および均一なスピン場を有するスピン伝導層を得ることができ、これにより実用化を図ることのできるメモリ素子およびメモリ装置を提供する。スピン伝導層(常磁性層)(24)は、例えば厚さが0.5nm以上5 $\mu$ m以下の内包フラーレン薄膜である。フラーレンは、例えば大きさが0.1nm以上50nm以下の中空を有しており、この中空に常磁性材料が内包されている。内包フラーレン薄膜は、フェルミベクトルが強磁性固定層(23)および強磁性自

由層(25)の少数スピンバンドまたは多数スピンバンドとよく重なっており、また、内包されている常磁性材料のスピン配向がランダムとなっている。更に、フラーレン内の電子スピンは、擬0次元空間で量子化された状態にある。これにより内包フラーレン薄膜ではスピンコヒーレンス長が長くなり、スピン偏極した伝導電子の散乱がなくなる。

## 明細書

## メモリ素子およびメモリ装置

## 技術分野

本発明は、スピン偏極電子の注入により記録情報の書き込みを行うメモリ素子およびこのメモリ素子を用いたメモリ装置に関する。

## 背景技術

高速ネットワーク社会の到来を迎え、急速に普及しつつある携帯電話やラップトップコンピュータ等のモバイルメディアにおいて、特に不揮発性メモリの開発が要求されてきている。不揮発性メモリは、常に電力が供給されずともデータ保持が可能であるため、これを用いた機器では、電源投入直後から動作させることができ、また消費電力を低減することができる。

近年注目されている磁気ランダム・アクセス・メモリ(Magnetic Random Access Memory ; MRAM) は、SRAM (Static RAM) の高速性、DRAM (Dynamic RAM) の高密度、低コスト性、およびフラッシュメモリの不揮発性を兼ね備えており将来のデファクト・スタンダードとして有望視されている。MRAMは、磁気効果を用いたメモリであり、巨大磁気抵抗効果を利用するスピン・バルブ型のものや、スピン依存型トンネル効果を利用するものが知られている。これらのMRAMでは目的とするメモリセルに対応する配線にスイッチング電流を流し、発生した磁界により、そのセル内の記録層の磁化状態を変更してビット情報の書き込みが行われる情報の読み出しは、セルの磁化状態を、磁気効果を利用して検出することによって行われる。このように、MRAMは固体メモリであるため、磁気ヘッドを用いて機械的に書き込み・読み出しを行う磁性記録媒体のように破損のおそれがなく、書き込み・読み出しの繰り返しに強いという特徴も有している。

ただし、その実用化には、メモリの高密度化に伴って生じた課題が残されていた。書き込みに必要な磁界強度は、記録層の幅つまりセルサイズに反比例する。よって、メモリセルを微細化すると、消費電力は極めて大きくなる。また、隣接セル間の近

接漏れ磁界により、クロストークが生じるおそれもある。例えば、幅 $0.2\mu\text{m}$ のメモリセルに対しては、書き込み時の電流は数mAにもなる。また、セル間が $0.1\mu\text{m}$ 程度まで狭まったメモリでは、対象セルに磁場を誘起させると、隣接セルにその80%の強さの磁場が及ぶことになる。

こうした課題を克服する技術として、記録層への偏極スピン注入法という新規な書き込み手法によるMRAMが提案されている（特開平11-120758号公報参照）。このメモリ素子は第22図のように構成されている。すなわち、磁化方向が常に固定される強磁性層（固定層）111と、ビット情報に応じて磁化方向を変化させる強磁性層（自由層）112とが、常磁性層113により隔てられている。なお、常磁性金属層114、115は、強磁性層111、112に積層方向に電流を流すための電極層である。偏極スピン注入法では、強磁性層111、112に対し、積層方向にスピン偏極電流を流すことで偏極した電子を注入し、スピン角運動量を伝える。これにより、強磁性層112では、相互作用を受けて磁気モーメントが反転する。この機構はスピン変換と呼ばれる。こうしたスピン電流の注入により磁化を切り換える書き込み方式では、外部磁場を印加する必要がないので、メモリセル間の干渉がなく、電力消費を抑えることができる。また、偏極スピン注入法の他の特徴としては、書き込み時間がスピン伝導速度にのみ依存することから、応答速度の向上を図ることが可能である。

しかしながら、この技術においても実用化に向けての問題があった。強磁性層111、112の間に配置される常磁性層113は、磁気的スペーサとしての役割に加え、電子の偏極スピンを緩和させずに伝導させるスピン伝導層としての側面を持つ。したがって、常磁性層113は、スピンコヒーレンス長の長い材料であって、強磁性層111、112に対してスピン散乱が極めて小さい材料である必要がある。

すなわち、常磁性層113においてスピン偏極した伝導電子が散乱される等してスピンの配向が変わると、伝導電子が有するスピン情報が失われてしまうことから、スピンコヒーレンス長が長い常磁性材料が望まれる。これまで常磁性金属材料や半導体材料等を用いて、常磁性層のスピン伝導の研究が行われてきている。

しかしながら、常磁性層に上記材料を用いた場合には、均一な薄膜成長を行うこ

と、およびスピニコヒーレンス長を制御することが困難であり、そのため常磁性層において十分なスピニコヒーレンス長および均一なスピン場を得ることができないという問題があった。このようなことから、スピン注入方式のメモリ素子は、従来の誘導磁場方式に比べて顕著な効果が得られると理論的に示されているものの、実際には十分な特性が得られておらず、そのため実用化に至っていない。

本発明はかかる問題点に鑑みてなされたもので、その目的は、常磁性層において十分なスピニコヒーレンス長および均一なスピン場を得ることができ、これにより実用化を図ることが可能なメモリ素子およびこれを用いたメモリ装置を提供することにある。

#### 発明の開示

本発明によるメモリ素子は、スピン偏極した電子の注入によって記録情報の書き込みが行われるメモリ素子であって、中空を有する球殻状または筒状の分子材料からなるスピン伝導層を備え、スピン伝導層によりスピン偏極した電子を伝導させるものである。

具体的には、本発明のメモリ素子は、第1に、磁化の向きが固定される第1の強磁性層と、中空を有し、前記中空に常磁性材料が内包されると共に所定のスピニコヒーレンス長を有する球殻状分子材料からなり、前記第1の強磁性層の一面に形成されたスピン伝導層と、前記スピン伝導層における前記第1の強磁性層が形成された面とは反対側の面に形成され、前記スピン偏極した電子により磁化の向きが変化する第2の強磁性層とを備え、前記第2の強磁性層の磁化の向きの変化により前記記録情報の書き込みが行われるようにしたものである。

このメモリ素子では、第2の強磁性層に対してスピン偏極した電子が注入されると第2の強磁性層の磁化の向きが変化し、記録情報の書き込みが行われる。このとき、スピン偏極された電子流は、常磁性材料が内包された球殻状分子材料（例えば炭素分子フラーレン）からなり、十分なスピニコヒーレンス長および均一なスピン場を有する常磁性層を介して、スピン散乱することなく流れる。すなわち、注入電子はそのスピン偏極度を保った状態で常磁性層内を伝導される。

第2に、本発明によるメモリ素子は、スピン偏極した電子の注入によって、少なくとも一方の磁化方向変化が誘起される第1および第2の強磁性層と、前記第1および第2の強磁性層の積層方向を軸方向として配置される中空の筒状分子（例えばカーボンナノチューブ）の少なくとも一部からなり、前記第1の強磁性層と第2の強磁性層の間に設けられてその磁氣的相互作用を遮断すると共にスピン偏極した電子を伝導させるスピン伝導層とを備えた構成を有している。

このメモリ素子では、スピン伝導層として機能する中空の筒状分子の軸方向に電流が流れることによって、第1の強磁性層と第2の強磁性層の間においてスピン偏極した電子が伝導される。このスピン伝導層では、筒状分子またはその中空部に内包された物質のスピンコヒーレンス長に応じ、電子がスピン緩和されずに伝導され、その角運動量が第1の強磁性層および第2の強磁性層に与えられる。

なお、本発明のメモリ装置は、上記の本発明のメモリ素子を複数配列して構成したものである。

#### 図面の簡単な説明

第1図は、本発明の第1の実施の形態に係るメモリ素子の概略構成を表す模式図である。

第2図は、メモリセルの模式図である。

第3図は、スピン伝導層（常磁性層）に用いられる内包フラーレン薄膜の結晶構造を説明するための図である。

第4A図ないし第4C図は、メモリセルへの書き込み動作を説明するための模式図である。

第5A図ないし第5C図は、同じく書き込み動作を説明するための模式図である。

第6A図および第6B図は、メモリセルへの読み出し信号を表す模式図である。

第7A図および第7B図は、同じく読み出し信号を表す模式図である。

第8図は、メモリセルのアドレス方式を説明するための図である。

第9図は、同じくアドレス方式を説明するための図である。

第10図は、第1図に示したメモリ素子の製造工程を説明するための平面図であ

る。

第11A図ないし第11C図は、第10図に続く工程の断面図である。

第12図は、第11C図に続く工程の断面図である。

第13図は、第12図の平面図である。

第14A図ないし第14C図は、第12図に続く工程の断面図である。

第15A図ないし第15C図は、第14C図に続く工程の断面図である。

第16図は、第15C図の平面図である。

第17図は、メモリセルの変形例を表す図である。

第18図は、メモリセルの他の変形例を表す図である。

第19図は、本発明の第2の実施の形態に係るメモリ素子の構成を示す図である。

第20図は、第19図に示したメモリ素子を集積してなるメモリ装置の概略構成図である。

第21図は、メモリ素子の変形例を表す図である。

第22図は、従来のスピン注入型メモリ素子の構成図である。

## 発明を実施するための最良の形態

### (第1の実施の形態)

第1図は、本発明の第1の実施の形態に係るメモリ素子の構成を示している。このメモリ素子MM1は、偏極スピン電子の注入により磁化反転を引き起こすことで書き込みを行う「スピン注入型」の素子である。第2図は、メモリ素子MM1を構成する1のメモリセル20を取り出して表したものである。

このメモリ素子MM1は、複数のメモリセル20がマトリクス状に配列（例えばM列N行配列：M×N配列）されたものであり、各メモリセル20にスピン偏極した電子流が注入されることにより、メモリセル20の記録情報が書き込まれる（スピン注入方式）。このメモリセル20の面内の大きさは $0.5\text{ nm}^2$ 以上 $5\text{ }\mu\text{m}^2$ 以下とすることが好ましい。これは、メモリセルの大きさが小さくなるとクロストークが生じる虞があり、隣接するメモリセル20同士で書き込み電流による磁場の影響を抑制するためである。

メモリセル20は基板21を備えており、この基板21の上には電極層22が形成されている。電極層22の上には強磁性材料からなる強磁性固定層（第1の強磁性層）23が形成されており、この強磁性固定層23は磁化の向きが所定の方角に固定される。強磁性固定層23の上にはスピン伝導層24が形成されている。本実施の形態では、このスピン伝導層24は常磁性材料が内包された球殻状分子材料、例えば炭素分子フラーレンにより形成されている。その詳細については後述する。スピン伝導層24の上には強磁性材料からなる強磁性自由層（第2の強磁性層）25が形成されており、この強磁性自由層25は2つの安定した磁化方向を有し、2つの磁化方向のいずれかの一方の方角に向いている。この強磁性自由層25の磁化方向は伝導電子のスピンに応じて変更されるようになっている。強磁性自由層25の上には電極層26が形成されている。

基板21は例えばシリコン（Si）からなる。電極層22、26は常磁性金属、例えば金（Au）により形成されている。この常磁性金属としては金以外でも、蒸着法やスパッタ法等によりこれら電極層22、26に対して容易に配線を作製することができるものであればよい。

スピン伝導層24は、上述のように常磁性材料24bを内包したフラーレン24aからなる内包フラーレン薄膜であり、その厚みは例えば0.5nm以上5μm以下である。このような内包フラーレン薄膜は、第3図に示したような結晶構造を有している。なお、内包フラーレン薄膜は一般的にfccの結晶構造をとるが、この図では簡単のため2次元単純格子で表している。

フラーレン24aは、例えば大きさが0.1nm以上50nm以下の中空を有しており、この中空部分に常磁性材料24bが内包されている。フラーレン24aとしては、例えばC<sub>36</sub>、C<sub>60</sub>、C<sub>70</sub>、C<sub>72</sub>、C<sub>74</sub>、C<sub>76</sub>あるいはC<sub>82</sub>が挙げられる。常磁性材料24bとしては、ランタン（La）、セシウム（Cs）、ジスプロシウム（Dy）、ユウロピウム（Eu）、あるいはガドリニウム（Gd）等の希土類元素や、N（窒素）、P（リン）等の非金属元素が挙げられる。

また、内包フラーレン薄膜は、内包されている常磁性材料24bのスピンの方角がランダムとなっていることから、安定な常磁性を有している。更に、フラーレン

24a内の電子スピンは、擬0次元空間で量子化された状態にある。以上のことから内包フラーレン薄膜ではスピン緩和時間が長くなる、すなわちスピンコヒーレンス長が長くなるので、フラーレン24aを介して電子伝導が生じるときに、スピンの散乱することがなく、図に示したように例えば電子が縦方向に伝導したとしても、電子がスピン偏極度を保った状態で伝導することが可能となる。

本実施の形態では、第2図にも示したように、強磁性固定層23の磁化の向きは磁化方向 $S_1$ に固定されているのに対し、強磁性自由層25は2つの安定した磁化方向 $S_1$ ,  $S_2$ のうちいずれかの方向、例えば $S_2$ の方向に向いている。この強磁性自由層25はスピン偏極された電子流が注入されることにより磁化の向きが回転する。なお、強磁性自由層25の2つ磁化方向が、メモリセル20における2種類の記録情報に対応し、これら記録情報が「1」、「0」の信号として読み出される。なお、第2図において、磁化方向 $S_1$ ,  $S_2$ は直交系の座標軸として描いている。

なお、本実施の形態では、強磁性固定層23と強磁性自由層25とが異なる機能を有するようにするために、以下に挙げる強磁性材料が選択的に用いられる。

単体：(110)配向 bcc Fe

(001)配向 bcc Fe

C軸面内配向 hcp Co

(111)配向 fcc Co

(110)配向 fcc Co

(001)配向 fcc Co

2元合金： $\text{Fe}_{1-x}\text{Co}_x$  ( $0 < x < 1$ )

$\text{Ni}_x\text{Fe}_{1-x}$  ( $0 < x < 0.75$ )

$\text{Ni}_{79}\text{Fe}_{21}$  (パーマロイ合金)

3元合金： $\text{MnFeCo}$

$\text{FeCoNi}$

ここで、上記強磁性材料の選択は次の条件に従っている。例えば、強磁性固定層23および強磁性自由層25の強磁性材料を同じ材料とする場合には、強磁性固定層23の方を強磁性自由層25よりも厚く形成する。強磁性固定層23および強磁



性自由層 2 5 を同じ材料で形成しない場合には、強磁性固定層 2 3 のギルバート減衰係数が強磁性自由層 2 5 のものよりも非常に大きい材料を選択するようにする。

また、強磁性固定層 2 3 および強磁性自由層 2 5 の各層に、電流の偏極効率が互いに異なるものを選択すると、記録情報「0」から「1」、また、「1」から「0」への書込み時に必要な書込み電流や書込み時間を異なる値とすることが可能である。このように書込み電流に非対称性を持たせることによって、例えばチップ上の全メモリセル 2 0 を同時にクリアするときに、セル 1 個あたりに必要な電流が小さくすることが可能な極性を選択することができる等、回路構成上において有利になる。

更に、強磁性自由層 2 5 は、前述したように 2 つの安定化した磁化方向を持つことから、層内において一軸異方性を有することが重要である。すなわち、熱や磁場の揺らぎによる影響を受けない、例えば磁場  $H_u$  が 100 Oe (エルステッド) より大きな一軸異方性を有する必要がある。また、強磁性固定層 2 3 の一軸異方性は強磁性自由層 2 5 のものよりも大きくなければならない。なお、強磁性自由層 2 5 に小さな一軸異方性の磁場  $H_u$  を有する強磁性材料を用いる場合は、磁化方向  $S_1$ ,  $S_2$  の切り換えは容易であるが、こうしたシステムの CPP 電圧測定は微妙な実験条件を必要とする。すなわち、一軸異方性の磁場  $H_u$  が小さ過ぎる材料により作製されたメモリセルは、実際的なデバイスとして適していない。なお、このような一軸異方性は、強磁性材料の組成や、形状、結晶配向、格子歪みの制御することにより、また、これらの層を形成する際に印加する磁場の制御により得られる。具体的には、一軸異方性を有する強磁性薄膜として以下に示すものが挙げられる。

例えば、磁気異方性で定まる磁化容易軸方向 ( $\langle 001 \rangle$  方向) に沿って磁化された ( $110$ ) 面 bcc 鉄は、高分極化率および一軸異方性の高い磁場  $H_u$  を有する。また、例えば、バイアス磁場の存在下で蒸着され、磁場と平行に一軸誘導磁気異方性が付与されたパーマロイは、最適な分極化効率および小さい一軸異方性の磁場  $H_u$  を有する。更に、例えば、面内 c 軸方向に一軸異方性を備えた hcp コバルトは、高い分極化効率および大きい一軸異方性の磁場  $H_u$  を有する。加えて、例えば Fe 格子サイトの x % での Co 置換により bcc 構造をとる  $Fe_{1-x}Co_x$  合金

は、膜面が(1 1 0)であり、 $\langle 1\ 0\ 0 \rangle$ 方向に面内一軸磁気異方性の磁化容易軸を有する。この $\text{Fe}_{1-x}\text{Co}_x$ 合金は、最も高い分極化効率および大きい一軸異方性の磁場 $H_u$ を有する。

また、強磁性自由層25において、層の面内で磁化方向を変化させる場合には、短辺が $1\ \mu\text{m}$ 以下の短冊形状の縦横比を選択することによって異方性の磁場 $H_u$ を最適化することができる。他方、強磁性自由層25の面内とその面内に垂直な方向との間で磁化方向を変化させる場合には、十分な垂直磁気異方性を得るために、強磁性自由層25の厚さを5原子層以下にすることが好ましい。すなわち、強磁性自由層25の厚さを略 $1\ \text{nm}$ とすることが好ましい。この厚さは、磁化方向が面内方向となる場合と面内に対して垂直となる場合との間の遷移領域である。更に、強磁性固定層23や強磁性自由層25の偏極電子源としてPtMnSb等のホイスラー合金や半金属材料を用いるようにしてもよい。

次に、このような構成を有するメモリ素子MM1の作用について説明する。このメモリ素子MM1では、強磁性固定層23は、磁化の向きが所定方向 $S_1$ に固定され、他方、強磁性自由層25は2つの安定した磁化方向 $S_1, S_2$ を有し、これら磁化方向のいずれかの方向(ここでは $S_2$ )に向いている。このようなメモリ素子MM1では、強磁性自由層25の2つ磁化方向が各メモリセル20における2つの記録情報に対応しており、この強磁性自由層25にスピン偏極された電子流が注入され、磁化の向きが切り換えられることにより、記録情報「1」または「0」の書き込みがなされる。他方、これら記録情報の読み出しは、メモリセル20において電流を垂直に流すことにより生じる巨大磁気抵抗効果(GMR)を利用することにより行われる。

記録情報の書き込みを行う場合には、強磁性自由層25の磁化の向きを切り換えるためにパルス電流が用いられ、強磁性自由層25の磁化スイッチング(磁化反転)が行われる。例えば初期状態が平行磁化整合である場合(第4A図)の書き込みは次のように行われる。すなわち、強磁性自由層25でのスピンと同じ向きの電子粒子密度パルス $J_p$ が、強磁性自由層25から強磁性固定層23へ流れる。このとき、強磁性固定層23は、電子粒子密度パルス $J_p$ と同じ向きのスピン状態が全

て占有されているため、強磁性固定層 2 3 に注入された電子粒子密度パルス  $J_p$  のスピンはパウリの排他原理により反転する。このように反転したスピンを有する電子流が、電流密度パルス  $J_e$  (スイッチング電流  $I$ ) として電子粒子密度パルス  $J_p$  と反対方向に流れることにより、強磁性自由層 2 5 のスピンの向きが反転する。このスイッチング電流  $I$  は、第 4 B 図に示したように接合領域における臨界値  $J_t$  (A) よりも大きく、ナノ秒単位でパルスが持続される。

このようにしてスイッチング電流  $I$  により、強磁性自由層 2 5 の磁化の向きが反転され、強磁性自由層 2 5 の磁化の向きが強磁性固定層 2 3 と逆向きとなり、反平行磁化整合状態となる (第 4 C 図)。これにより書き込みが終了する。なお、「平行磁化整合」とは、強磁性自由層 2 5 と強磁性固定層 2 3 との磁化の向きが同じ方向であることをいい、また、「反平行磁化整合」とは、強磁性自由層 2 5 と強磁性固定層 2 3 との磁化の向きが逆の方向であることをいう。

また、例えば初期状態が反平行磁化整合である場合 (第 5 A 図) に書き込みを行うときには、電子粒子密度パルス  $J_p$  および電流密度パルス  $J_e$  のそれぞれの流れる向きが逆向きとなり、電子粒子密度パルス  $J_p$  が強磁性固定層 2 3 から強磁性自由層 2 5 へ流れ、電流密度パルス  $J_e$  (スイッチング電流  $I$ ) が、電子粒子密度パルス  $J_p$  と反対方向に流れることにより開始される。すなわち、強磁性固定層 2 3 におけるスピンと同じ向きの電子粒子密度パルス  $J_p$  が、強磁性固定層 2 3 から強磁性自由層 2 5 へ流れる。

このとき、強磁性自由層 2 3 には、この強磁性自由層 2 3 のスピンと異なる向きのスピンの注入されるが、この注入されたスピンによって、強磁性自由層 2 3 のスピンのトルクを及ぼされ、そのスピンの向きが反転する。この反転されたスピンを有する電子流が、電流密度パルス  $J_e$  (スイッチング電流  $I$ ) として電子粒子密度パルス  $J_p$  と反対方向に流れる。このスイッチング電流  $I$  は、第 5 B 図に示したように接合領域における臨界値  $J_t$  (A) よりも大きく、ナノ秒単位でパルスが持続される。このようにスイッチング電流  $I$  により、強磁性自由層 2 5 の磁化の向きが反転し、強磁性自由層 2 5 の磁化の向きが強磁性固定層 2 3 と同じ向きとなり、平行磁化整合状態となる (第 5 C 図)。これにより書き込みが終了する。

他方、記録情報の読出しを行う場合には、例えば、メモリセル20において電流を垂直に流すC P P配置とされ、巨大磁気抵抗効果が利用される。例えば、平行磁化整合状態の場合（第6 A図）には、臨界値 $J_t$ 以下の読出し電流パルスが流れることにより、論理「0」に対応する低電圧パルス $V_{low}$ が得られる（第6 B図）。また、例えば反平行磁化整合状態の場合（第7 A図）には、臨界値 $J_t$ 以下の読出し電流パルスが流れることにより、論理「1」に対応する高電圧パルス $V_{high}$ が得られる（第7 B図）。

このような読出し方法を採用する場合、読み出しに必要な、例えば5%以上のGMR比（ $\Delta R/R$ ）を得るために、強磁性固定層23および強磁性自由層25の各層を構成する材料の電子の偏極 $Pol_1$ 、 $Pol_2$ が下記の数式1を満たすものを用いることが好ましい。

（数式1）

$$\frac{2 \cdot Pol_1 \cdot Ro k_{23}}{1 - Pol_1 \cdot Pol_2}$$

このようなメモリ素子MM1のアドレス方式としては、最も単純な方式とし、例えば第8図に示したように、1個のメモリセル20に対して1本の書き込み専用の配線41を用いる方式が挙げられる。また、例えば第9図に示したように、交差するように配線42および配線43を設け、これら配線42、43の交点にメモリセル20を配置し、配線42、43への信号の組合わせによりアドレスする、いわゆるx yアドレス方式が挙げられる。

書き込み専用の配線41を有するアドレス方式の場合には、1個のメモリセル20に必要な結線は、電極層22での1箇所と、電極層26での2箇所とし、疑似4端子測定が行われる。なお、電極層22、26の各々に1ヵ所結線する2端子測定で十分な場合もある。

x yアドレス方式の場合には、x、y両配線43、44に同時にパルスが印加される時にのみ、書き込み臨界電流を超える電流が流れることによりメモリセル20が選択される。このとき、書き込みが行われるメモリセル20においてパルスの一致を確実なものとするために、x線またはy線の一方（例えばx線）には長いパルス

を与え、他方（y 線）には短いパルスを与えるようにしてもよい。

次に、第 10 図～第 16 図を参照して、上記メモリ素子 MM1 の製造方法について説明する。なお、第 10 図は第 11 A 図の平面図であり、第 13 図は第 12 図の平面図、第 16 図は第 15 C 図の平面図である。

まず、第 10 図および第 11 A 図に示したように、例えばシリコンからなる基板 21 を用意する。この基板 21 はドーピング処理がなされていないものであり、例えば外径が 4 インチ、厚さが 0.01 インチである。また、基板 21 は、後の工程で電極 22 の形成領域を切り出すために、ダイヤモンド・ポイントにより刻んでおく。基板 21 の表面を研磨した後、洗浄し酸化処理を施す。次に、例えば蒸着法によって、基板 21 の面内の略中心の領域（その大きさが例えば  $2\text{ cm} \times 2\text{ cm}$ ）に例えば Au からなる電極層 22 を成膜する。この電極層 22 の厚さは例えば  $0.5\text{ }\mu\text{m}$  とする。

次に、第 11 B 図に示したように、電極層 22 の上に、例えばフォトリソグラフィ法によって、厚さが  $50\text{ nm}$  以上のレジスト膜 31 を形成する。このとき、レジスト膜 31 にメモリセル 20 の形状に応じてパターニングを施す。

続いて、第 11 C 図に示したように、例えば蒸着法によって、 $\text{Ni}_{81}\text{Fe}_{19}$  なる組成を有するパーマロイからなる強磁性固定層 23 を成膜する。この強磁性固定層 23 の厚さは例えば  $4\text{ nm}$  とする。また、強磁性固定層 23 の成膜の際、 $1000\text{ Oe}$  の磁場を印加しながら一軸磁気異方性を誘起させる。

次いで、例えばプラズマ蒸着法によって、例えば La を内包した  $\text{Cs}_2$  ( $\text{La}@\text{Cs}_2$ ) からなる、厚さが  $20\text{ nm}$  のスピン伝導層 24 を成膜する。この  $\text{Cs}_2$  は例えば大きさが  $0.1\text{ nm}$  以上  $50\text{ nm}$  以下の中空を有しており、この中空に La を内包させる。このとき、強磁性固定層 23 の一軸異方性は保持されている。具体的には、プラズマ蒸着法において、例えば外部電極式容量結合型または平行平板電極式容量結合型のプラズマ重合装置を用いる（例えば特開平 8-59220 号参照）。このプラズマ重合装置は、反応容器内にプラズマ電源に接続されたモリブデンポートが設けられており、このモリブデンポートの中に  $\text{Cs}_2$  粉末が収容される。反応容器内の、モリブデンポートに対向する位置には、強磁性固定層 23 が成膜された基板 2

1が配設される。

このようなプラズマ重合装置を用い、プラズマ電源を例えば交流13.56MHz、出力は150Wにセットすることにより、一定流量系にてLaの正イオンプラズマを発生させ、モリブデンボート中のCs<sub>2</sub>粉末を数百℃で昇華させ、基板21の強磁性固定層23上に、La@Cs<sub>2</sub>からなるスピン伝導層24を成膜させる。本実施の形態では、スピン伝導層24を常磁性材料を内包したフラーレン（例えばLa@Cs<sub>2</sub>）により成膜するようにしたので、均一な薄膜成長を行うことができ、またスピニコヒーレンス長を制御することが可能となる。

次に、例えば蒸着法によって、スピン伝導層24の上に、パーマロイからなる、例えば厚さが1nmの強磁性自由層25を成膜する。このとき、強磁性固定層23の成膜時と同様な磁場を印加しながら成膜を行うことにより、強磁性自由層25のc軸が強磁性固定層23の磁化と平行になるように、強磁性自由層25に一軸磁気異方性を誘起する。これにより強磁性自由層25は、2つの安定した磁化方向S<sub>1</sub>、S<sub>2</sub>を有し、これら磁化方向S<sub>1</sub>、S<sub>2</sub>のいずれかの方向を向く。

続いて、蒸着法によって、例えば金よりなる、厚さが25nmの電極層26を成膜する。次いで、第12図および第13図に示したように、レジスト膜31を溶解除去することにより、リフトオフを行う。これによりメモリセル部32aおよび接地端子部32bが選択的に形成される。

次いで、第14A図に示したように、基板21の上に、メモリセル部32aおよび接地端子部32bを覆うようにして、例えば厚さ60nmのポリメチルメタクリレートからなる絶縁層33を形成する。この絶縁層33は平坦化膜として機能する。次に、第14B図に示したように、例えば酸素プラズマエッチング法によってメモリセル部32aおよび接地端子部32bの上面を露出させる。

続いて、第14C図に示したように、レジスト膜34を選択的に形成する。レジスト膜34は、接地端子部32bを覆うと共にメモリセル部32aを露出させるようなパターンを有する。このレジスト膜34の厚さは例えば0.2μmとする。次いで、第15A図に示したように、レジスト膜34を覆うようにして、例えばAuからなる金属層35を成膜する。

続いて、第15B図に示したように、レジスト膜34を溶解除去することによりリフトオフを行い、金層35を選択的に除去する。この金層35は、メモリセル20の一方の電氣的接点となるもので、電極層26と電氣的に接続されている。また、レジスト膜34を溶解除去することにより、接地端子部32bが露出するが、接地端子部32bは他方の電極層22と電氣的に接続されている。

次いで、第15C図に示したように、これら電氣的接点（接地端子部32bおよび金層35）に電圧信号用のワイヤ36、37および電流パルス用のワイヤ38、39をボンディングにより接続させる。最後に、銅（Cu）からなるヒートシンク（図示せず）に、メモリセル20が形成された基板21を固着させることにより、メモリ素子MM1が完成する。

このように構成されたメモリ素子MM1では、強磁性自由層25の2つの磁化方向 $S_1$ 、 $S_2$ が各メモリセル20における2つの記録情報に対応しており、この強磁性自由層25にスピン偏極された電子流を注入し、磁化の向きを切り換えることにより、「1」または「0」に書き込みがなされる。

このとき、スピン偏極された電子流はスピン伝導層24を介して流れる。本実施の形態では、このスピン伝導層24は内包フラーレン薄膜（第3図）からなる。内包フラーレン薄膜は、内包されている常磁性材料24bのスピンの配向がランダムとなっていることから、安定な常磁性を有している。更に、フラーレン24a内の電子スピンは、擬0次元空間で量子化された状態にある。加えて、スピン伝導層24を内包フラーレン薄膜とすることにより、均一な薄膜成長を行うことおよびスピニコヒーレンス長を制御することを容易に行うことができる。これにより、スピン伝導層24内では、十分なスピニコヒーレンス長および均一なスピン場を得ることができ、スピン散乱を防止することができる。すなわち、電子がそのスピン偏極度を保った状態でスピン伝導層24内を伝導される。

このように本実施の形態では、スピン伝導層24を、大きさが0.1nm以上50nm以下の中空を有し、中空に常磁性材料が内包されたフラーレンにより形成するようにしたので、均一な薄膜成長を行うことおよびスピニコヒーレンス長を制御することが容易となり、十分なスピニコヒーレンス長および均一なスピン場が得ら

れる。従って、スピン偏極した伝導電子の散乱を防止することが可能となり、信頼性が向上する。これによりスピン注入方式のメモリ素子MM1の実用化を図ることが可能となる。特に、従来の誘起磁場方式と比較して、記録密度の上限を大幅に高めることができ、読出し時間の短縮や消費電力の削減を図ることが可能となる。

以上、実施の形態を挙げて本発明を説明したが、本発明は上記実施の形態に限定されるものではなく、種々変形が可能である。例えば、強磁性固定層23の磁化の向きを所定の方向に固定するために、強磁性固定層23の一面に、例えば反強磁性材料からなる磁化固定層51（第17図参照）を形成するようにしてもよい。反強磁性材料としては、FeMn、IrMn、NiMn、RhMn、CrMnPt、FeMnPt等を挙げられる。これらの中で、NiMnは、高温でも大きいピンニング場（例えば、 $T=450\text{ K}$ まで $6500\text{ Oe}$ 程度）が得られることから好適である。

このような磁化固定層51により、強磁性固定層23の磁気モーメントがピン止めされ、所定の磁化方向に固定される。この磁化固定層51は、反強磁性材料として金属を用いると電極も兼ねることが可能である。また、上記実施の形態では記録情報を読み出す手法にGMR効果を利用するようにしたが、例えば強磁性自由層25に光を照射するとき生ずる磁気カー効果を利用するようにしてもよい。

また、上記スピン伝導層24に加えて、第18図に示したように、希薄磁性合金を内包したスピン配列化層52を設けるようにしてもよい。希薄磁性合金は、半導体に磁性体金属をドーピングさせたもので、半導体の特性を保ちながら磁気秩序を持つ希薄磁性体と強磁性金属の接合界面においては、磁化が非平衡となり、スピン偏極電子を生じることができる（出典R. FIEDERLING, M. KEIM, G. REUSCHER, W. OSSAU, G. SCHMIDT, A. WAAG & L. W. MOLENKAMP Nature 402, 787 - 790 (1999) "Injection and detection of a spin-polarized current in a light-emitting diode"）。

従って、この希薄磁性合金をスピン伝導層を兼ねたスピン配列化層52として利用することにより、より高いスピン偏極度を得ることができる。

希薄磁性体合金としては、例えば、(In,Mn)As, (Ga,Mn)As, (Cd,Mn)Te, (Zn,Mn)Te, (Zn,Cr)Teが挙げられる。



希薄磁性合金を内包したスピン配列化層 52 の位置は、2 つの強磁性層（強磁性固定層 23 および強磁性自由層 25）の間であればよいが、より好ましくは基準となる強磁性固定層 23 とスピン伝導層（スピン伝導層 24）の間であり、これにより、スピン注入における伝導スピンの偏極度を高めることができる。

なお、この希薄磁性合金を、スピン伝導層 24 に含まれるフラーレンに内包させるようにすれば、スピン伝導層 24 がスピン配列化層およびスピン伝導層として機能する。

更に、記録情報の読み出し結果に従って他の回路を動作させて論理演算を行わせるために、上記不揮発性 RAM に対して、例えば読み出し信号の増幅回路を組み込むようにしてもよい。更に、上記実施の形態では基板 21 の上に、電極層 22、強磁性固定層 23、スピン伝導層 24、強磁性自由層 25 および電極層 26 をこの順で形成するようにしたが、各層の成膜順序は上記と逆にしてもよい。

#### 〔実施例〕

本実施例では、以下のような構成を有する不揮発性 RAM を作製した。ここでは電極層 26 から基板 21 までの構成を示す。

#### <試料構造>

電極層 ; Au 膜（厚さ 25 nm）

強磁性自由層 ;  $\text{Ni}_{81}\text{Fe}_{19}$  からなるパーマロイ膜（厚さ 1 nm、c 軸が強磁性固定層の磁化と平行となるような一軸異方性を有する）

常磁性層 ;  $\text{La@Cs}_2$  薄膜（厚さ 20 nm）

強磁性固定層 ;  $\text{Ni}_{81}\text{Fe}_{19}$  からなるパーマロイ膜（厚さ 4 nm、一軸異方性を有する）

電極層 ; Au 膜（厚さ 500 nm）

基板 ; シリコン基板

本実施例の試料構造の測定結果を以下に示す。

#### <演算された値>

偏極効率 :  $\sim 90\%$

強磁性自由層に対する面内有効異方性磁場 :  $H_u = +2K_u/M_s \sim 100\text{e}$

スピンの数密度： $\sim 1.9 \times 10^{15} \text{ cm}^{-2}$

ギルバート減衰係数：0.005

臨界値  $J_t$ ： $\sim 8 \times 10^3 \text{ A/cm}^2$

電気抵抗：16 m $\Omega$

ノイズ電圧 (10 Hz BW, 77 k)：0.2 nV

<測定値>

実験によるスイッチング電流密度： $\sim 2 \times 10^4 \text{ A/cm}^2$

スイッチング時間  $\theta$  ( $0 \sim \pi$ )： $\sim 0.05 \mu\text{s}$

読出し中のピーク消費電力： $\sim 0.1 \text{ pW}$

読出し電流密度： $\sim 3 \times 10^4 \text{ A/cm}^2$

読出し電流パルス： $\sim 5.0 \mu\text{A}$ , 1 Hz

CPP GMR 4%  $\Delta R/R$ ： $\sim (800 \mu\Omega / 20 \text{ m}\Omega)$

平均読み取り電圧： $\sim 5 \text{ nV}$

また、本実施例の比較例として、常磁性層に厚さが20 nmのAu膜を用いることを除き、実施例と同様にして不揮発性RAMを作製した。この比較例の測定結果を以下に示す。

<演算された値>

偏極効率： $\sim 30\%$

自由層に対する面内有効異方性磁場： $H_u = +2K_u / M_s \sim 10 \text{ Oe}$

スピンの数密度： $\sim 1.9 \times 10^{15} \text{ cm}^{-2}$

ギルバート減衰係数：0.01

臨界値  $J_t$ ： $\sim 8 \times 10^3 \text{ A/cm}^2$

電気抵抗：16 m $\Omega$

ノイズ電圧 (10 Hz BW, 77 k)： $\sim 0.3 \text{ nV}$

<測定値>

実験によるスイッチング電流密度： $\sim 2 \times 10^4 \text{ A/cm}^2$

スイッチング時間  $\theta$  ( $0 \sim \pi$ )： $\sim 0.1 \mu\text{s}$

読出し中のピーク消費電力： $\sim 0.1 \text{ pW}$

読出し電流密度： $\sim 4 \times 10^3 \text{ A/cm}^2$

読出し電流パルス： $\sim 6.4 \mu\text{A}$ ,  $1 \text{ Hz}$

CPP GMR 4%  $\Delta R/R$ ： $\sim (800 \mu\Omega / 16 \text{ m}\Omega)$

平均読出し電圧： $\sim 5 \text{ nV}$

以上からわかるように、本実施例では、常磁性層をAu膜の代わりにLa@Cs<sub>2</sub>膜とすることにより、偏極効率を著しく高めることができた。すなわち、常磁性層をAu膜の代わりにLa@Cs<sub>2</sub>膜とすれば、不揮発性RAMの性能の向上を図ることができることがわかった。

更に、本実施例の比較例として、従来の誘起磁場方式のメモリ素子の測定結果を以下に示す。

<測定値>

スイッチング電流密度： $\sim 5.8 \times 10^6 \text{ A/cm}^2$

スイッチング時間 $\theta$  ( $0 \sim \pi$ )： $\sim 0.08 \mu\text{s}$

読出し中のピーク消費電力： $\sim 1.0 \text{ pW}$

読出し電流密度： $\sim 1 \times 10^5 \text{ A/cm}^2$

読出し電流パルス： $\sim 5.0 \mu\text{A}$ ,  $1 \text{ Hz}$

CPP GMR 4%  $\Delta R/R$ ： $\sim (800 \mu\Omega / 20 \text{ m}\Omega)$

平均読み取り電圧： $\sim 40 \text{ nV}$

従来の誘起磁場方式のメモリ素子と比較して、スイッチングおよび書き込みに必要な電流が2桁のオーダ、スイッチング時間が1桁のオーダ、消費電力が1桁のオーダで特性が向上した。すなわち、スピン注入方式のメモリ素子は、従来の誘起磁場方式のものと比較して、読出し時間の短縮や消費電力の削減を図ることが可能となることがわかった。

次に、本発明の他の実施の形態について説明する。

(第2の実施の形態)

第19図は、本発明の第2の実施の形態に係るメモリ素子の構成を示している。このメモリ素子MM2も、偏極スピン電子の注入により磁化反転を引き起こすことで書き込みを行う「スピン注入型」である。その基本構造は、2つの強磁性層、す

なわち磁化配向が一定方向に固定されている固定層 1 と、偏極スピン電子の流入によって磁化配向が変化する自由層 2 との間に、スピン伝導層 3 が設けられたものである。

これら各層は、1 分子のカーボンナノチューブ 10 の内部に層をなして形成されている。すなわち、カーボンナノチューブ 10 は、その軸方向における中央部をスピン伝導層 3 とし、その両端部に固定層 1，自由層 2 を内包してメモリの 1 構成単位となっている。また、固定層 1，自由層 2 には、それぞれ電極層 4 A，4 B が付設されている。個々の磁気メモリ素子 MM 2 は、電極層 4 A，4 B を介して配線層 5 A，5 B に接続されている。

スピン伝導層 3 は、中空のカーボンナノチューブ 10 の一部からなる。スピン伝導層 3 は、固定層 1 と自由層 2 の間の磁氣的相互作用を遮断するために非磁性体で構成される。また、固定層 1，自由層 2 の間で偏極スピン電子を伝導させるためにそのスピニコヒーレンス長が少なくとも自身の層厚よりも長くなければならない。カーボンナノチューブは、そのバリスティック伝導を示唆する数々の報告があり、近年では、そのスピニコヒーレンス長が 200 nm 以上であることも実験的に確認されている（K. Tsukagoshi, B.W. Alphenaar and H. Ago "Spin coherent transport in a ferromagnetically contacted carbon nanotube" Nature 401, 572-574 (1999)）。これに対し、ここでのスピン伝導層 3 の厚み（カーボンナノチューブの長さ）は、実用的な範囲として、概ね 0.5 nm～5 μm である。よって、このスピン伝導層 3 は、上記 2 つの条件を同時に満足するようになっている。

このように、本実施の形態においては、カーボンナノチューブ 10 は、一部が（１）スピン伝導層 3 として利用されると同時に、（２）素子全体の外郭を構成するものとなっている。

ちなみに、特許第 2546114 号公報には、カーボンナノチューブの中心にある中空の穴に種々の異物質を内包させる技術が開示されており、磁性体を内包させたカーボンナノチューブについては、（１）チューブ内径（5～10 nm）が通常の磁性体の磁区の大きさよりも小さいことから、単磁区微粒子と考えられること、（２）チューブの長軸を垂直に並べれば、その異方性から極めて高密度の垂直磁気

記録媒体ができると考えられることが記載されている。但し、上記公報には、カーボンナノチューブのメモリへの応用については全く記述されていない。

カーボンナノチューブ10を素子の外郭とすることの最も大きな効果は、その $\pi$ 電子雲による磁気遮蔽効果によって内部に近接磁界の影響が及ぶのを防ぐことができることである。本実施の形態の磁気メモリ素子MM2は電流駆動型であるという特徴を有しているが、その大きさ（セルサイズ）がナノオーダーとなると、読み出し電流により発生する漏れ磁場が隣接セルの磁化を乱す可能性がある。しかしながら、カーボンナノチューブ10が素子内部の磁性層を覆い、外部からの磁氣的擾乱を遮断するために、固定層1、自由層2の磁化配向は常に安定して保たれる。これにより、磁気メモリ素子MM2は、微小サイズであって、かつ、実際に集積し、駆動することが可能な素子となっている。

さらに、カーボンナノチューブ10の内径は極めて小さく、1～10nm程度である。すなわち、このような微細な素子を、従来の半導体加工技術によらずに形成できる。同時に、このサイズが通常の磁性体の磁区の大きさよりもかなり小さいことから、カーボンナノチューブ10の内部で磁性体は単磁区構造となっていると考えられる。よって、磁化に対して磁区の移動を伴わないことから、磁性体の保持力が大きくなることが期待される。

固定層1および自由層2に用いられる強磁性材料には、例えば、Fe、Coの単体、およびそれらの2元合金、NiFe合金、MnFeCo、FeCoNi等がある。このうち、電子の高い偏極率を得るのに有効な強磁性体は、Fe含有率の高いFeCo合金である。3d強磁性体の遍歴d電子は、等方的な自由電子状の波数ベクトルをもつので、結晶配向をさほど考慮せずに済む。固定層1はNi、Co等を含む硬磁性体から、自由層2は純鉄、パーマロイ（Ni<sub>79</sub>Fe<sub>21</sub>）等の軟磁性体から選ぶとよい。また、最近になって高い保持力をもつことが知られるようになったコバルト・ニッケルを含む酸化鉄主成分のスピネル型フェリ磁性微粒子（結晶粒径 $\phi \sim 30\text{nm}$ 、保磁力 $H_cJ \sim 6\text{kOe}$ ）や、FeO<sub>2</sub>微粒子（焼成温度1023K、結晶粒径 $\phi \sim 5\text{nm}$ 、 $H_cJ \sim 1\text{kOe}$ ）などの金属ナノ微粒子材料も用いることができる。

固定層1には、その磁化配向を一定に保つために、ギルバート減衰係数が自由層

2よりも極めて大きな材料を用いたり、組成や層厚（自由層2より厚くする）を調整して自由層2より大きな一軸磁気異方性を付与したりするとよい。あるいは、固定層1に反強磁性層を接触させ、磁化をピン止めするようにしてもよい。なお、反強磁性層が金属である場合には、電極層4Aとしての機能も併せ持つことになる。そのような反強磁性金属材料として、FeMn, IrMn, NiMnおよびRhMn等が挙げられる。

一方、自由層2には、熱や磁界の影響で磁化方向（メモリ状態）がゆらぐを防ぐため、組成、厚みや断面積（カーボンナノチューブ10の径）等を最適化して異方性磁界 $H_u > 1000 \text{ e}$ の一軸磁気異方性を付与するとよい。なお、自由層2の磁化方向は、面内の2つの方向で変化するようにしてもよく、面内方向と面に垂直方向とで変化するようにしてもよい。後者の場合、十分な垂直磁気異方性を得るために、自由層2の厚さを5原子層以下、およそ1nmとするのが好ましい。

なお、電極層4A, 4Bは、導電性を有する常磁性金属であればどのようなものであってもよい。その厚みや形状も特に限定されない。ところで、この磁気メモリ素子MM2は、カーボンナノチューブのさやに内包された格好となっており、通常のメモリ素子に比べて寸法は小さく、断面より厚みの比率が高い。そのため、電極層4A, 4Bおよび配線層5A, 5Bは、従来の半導体加工技術を用いて形成するようにしてもよいが、例えばカーボンナノチューブなどの分子ワイヤで構成するようにしてもよい。

この磁気メモリ素子MM2は、後述するように書き込みと読み出しが共に電流を流すことにより行われるため、書き込み用と読み出し用の配線が共用でき、配線層5A, 5Bの2本で済む。このように配線構造が簡単であることも利点の一つである。

また、磁気メモリ素子MM2は、カーボンナノチューブ10を素子の外郭とするため、集積化においても特徴がある。通常、カーボンナノチューブは、容易にバンドルと呼ばれる凝集体を形成する。この磁気メモリ素子MM2は、外郭をカーボンナノチューブ10で構成されているため、凝集により容易に集積化される。例えば、第20図に示したように、マトリクス状に配列させると、この規則的な配置が分散

力（カーボンナノチューブ10を凝集させる力）によって保たれ、集積化された磁気メモリ素子MM2によって磁気メモリ装置のメモリ本体が構成される。これにより、1つのカーボンナノチューブを単位メモリセルとした、高密度で信頼性の高いメモリ装置を作製することができる。

このような磁気メモリ素子MM2とその磁気メモリ装置は、例えば、配向カーボンナノチューブ生成法（Jeong et al :Chem.Mater., Vol14, No. 4, pp1859-1862 (2002)）を用いて、配向したカーボンナノチューブを生成し、チューブの中空部に磁性金属を詰め、端部に電気接合させることで製造することができる。この方法の具体的説明は、実施例として後述する。

次に、その動作方法を説明する。この磁気メモリ素子MM2においては、固定層1に対する自由層2の磁化方向が平行磁化整合である状態と、反平行磁化整合である状態を、「0」、「1」などの2値データに対応させることで情報を記録するようになっている。データの書き込みは、層面に垂直方向（CPP : Current Perpendicular to Plane）に流すパルス電流によって自由層2の磁化方向を反転させることで行われる。例えば、固定層1に対する自由層2の磁化を、平行磁化整合から反平行磁化整合へと変化させる場合、固定層1から自由層2に向かって電流密度パルスを通して、スピン偏極した電子を、自由層2から固定層1の向きに注入する。このときの電流の大きさは、自由層2に磁化反転が起きる臨界電流密度値よりも大きくなければならない。このパルス印加中に自由層2の磁化の向きが反転し、自由層2と固定層1が平行磁化整合した状態が、反平行磁化整合状態へと変化する。

反対に、反平行磁化整合状態から平行磁化整合へと変化させる場合には、反対向きに電流を流せばよい。すなわち、自由層2から固定層1に向かって電流を流し、スピン偏極した電子を固定層1から自由層2の向きに注入する。

ここでは、スピン伝導層3はカーボンナノチューブからなるために、偏極電子はスピン緩和されることなく層内を伝導する。よって、固定層1、自由層2にはスピン角運動量を保った状態で電子が注入され、効率よく書き込みを行うことができる。

データの読み出し、つまり上記の2つの磁化状態の識別は、例えば層面に垂直方向の巨大磁気抵抗効果（CPP-GMR : Giant Magneto-Resistive）を用いて行

うことができる。また、これ以外に磁気カー効果を用いる方法などがある。

このように本実施の形態のスピン注入型磁気メモリ素子MM2では、1分子のカーボンナノチューブ10の両端それぞれに2つの強磁性層、固定層1，自由層2が充填され、中央の中空部分それ自体がスピン伝導層3となっている。そのため、スピン伝導層3は、カーボンナノチューブの良好なスピニコヒーレンスをもち、偏極電子がスピン緩和されることなく固定層1，自由層2に注入される。よって、効率よく書き込みを行うことができ、低消費電力駆動が可能となる。

また、メモリ素子の本体部が、カーボンナノチューブ10のさやの内部に収められた構成となっているので、従来の微細加工技術によらずにナノサイズの素子が実現される。よって、この磁気メモリ素子MM2を用いて非常に高密度のメモリ装置を得ることができる。この場合、固定層1，自由層2は単磁区構造となると考えられ、安定した磁化配向を保つことができる。また、カーボンナノチューブ10の $\pi$ 電子雲が固定層1，自由層2を覆い、外部からの磁氣的擾乱を遮断することによっても、磁化配向は常に安定して保たれる。さらに、カーボンナノチューブ10は一次元形状をしており、チューブとチューブの間には分散力が働くため、軸方向に配向して凝集する。よって、磁気メモリ素子MM2は、安定的かつ容易に高配向させることができ、高集積化した磁気メモリ装置を得ることができる。

また、上記スピン伝導層3に加えて、第1の実施の形態と同様に、第21図に示したように、希薄磁性合金を内包したスピン配列化層11を設けることにより、より高いスピン偏極度を得ることができる。スピン配列化層11の位置は、2つの強磁性層（強磁性固定層1および強磁性自由層2）の間であればよいが、より好ましくは基準となる強磁性固定層1とスピン伝導層3との間であり、これにより、スピン注入における伝導スピンの偏極度を高めることができる。

更に、本発明の具体的な実施例について詳細に説明する。

#### （実施例1）

まず、高純度アルミニウムシート(99.999%)をアセトンで脱脂し、エタノール溶液で洗浄した。これを過塩素酸とエタノールの混合液中で電解研磨した。続いて15℃、0.3Mのシュウ酸中で12時間、40Vの電圧で陽極酸化させた。これ



により、細孔のある陽極酸化アルミナ基板が得られた。この細孔は、ナノオーダーの規則ポーラス構造として自己組織化され、長距離にわたって規則的配列をとるものである。実際に得られた細孔は、アルミナ基板を貫通し（すなわち細孔は両端が開口した状態）、径が80 nm、密度が $1.0 \times 10^{10}$  pores/cm<sup>2</sup>であった。

次に、このアルミナ基板を $\text{CoSO}_4 \cdot 7\text{H}_2\text{O}$ 溶液中に沈殿させ、18 Vの交流電圧を1分間加えた。これにより、基板の細孔の底部に、Co触媒を電気化学的に沈殿させた。表面のCo粒子は、基板を $\text{H}_2$  10%，Ar 90%の混合ガスに500℃で1時間さらすことにより還元しておいた。なお、このCo触媒は、カーボンナノチューブ生成用の触媒であると同時に、磁気メモリ素子の磁性層（固定層）となる。

次に、 $\text{C}_2\text{H}_2$  10%， $\text{H}_2$  20%をArキャリアガスに含有させて供給し、基板の細孔内に、熱分解法によりカーボンナノチューブを成長させた。

余分に成長したカーボンナノチューブは、基板ごとアセトン溶液中で40 kHzの超音波処理を行うことにより裁断した。これにより、長さが一様に揃った、軸方向に配向したナノチューブが得られた。

次に、鉄イオン及び還元剤として次亜リン酸塩を含んだ酸浴槽にカーボンナノチューブを基板ごと浸し、無電解メッキ法を用いて、金属色が表れるまで純鉄をカーボンナノチューブ内に詰めていった。これにより、個々のカーボンナノチューブがスピン注入型磁気メモリ素子の基本構造をもったことになる。すなわち、固定層として硬磁性体であるCo層、スピン伝導層3として中空のナノチューブ、自由層としてFe層が形成されている。この磁性体内包ナノチューブの両端に、電極および引出し用配線として、より径の細いナノチューブをアトムマニピュレーション法により接合させた。

さらに、このナノチューブをアルミナ基板ごと、 $\text{SiO}_2$ からなる絶縁性基板の上に載置し、0.1 MのNaOHに70℃で3時間浸すことにより、アルミナ基板を分解除去した。このとき、磁性体内包ナノチューブ、および電極や配線となるチューブの束構造が、絶縁性基板の上に残存した。

次いで、引出し配線に、信号配線をボンディングし、これを2次元格子状配線と

してアドレスをとった。最後に、絶縁性基板をCuヒートシンクに固着させ、磁気メモリ装置を完成した。

また、作製した磁気メモリ装置の特性を測定した。結果を以下に示す。

#### <演算された値>

偏極効率	:	~50%
自由層に対する面内有効異方性磁場	:	$H_u = +2K_u/M_s \sim 100 \text{ Oe}$
スピン数密度	:	$\sim 5.0 \times 10^{15} \text{ cm}^{-2}$
ギルバート減衰係数	:	0.01
臨界値 $J_t$	:	$\sim 8 \times 10^3 \text{ A/cm}^2$
電気抵抗	:	16 m $\Omega$
ノイズ電圧 (10Hz BW, 77k)	:	0.2 nV

#### <測定値>

実験によるスイッチング電流密度	:	$\sim 1 \times 10^4 \text{ A/cm}^2$
スイッチング時間 $\theta$ ( $0 \sim \pi$ )	:	$\sim 0.05 \mu\text{sec}$
読み取り中のピーク消費電力	:	$\sim 0.1 \text{ pW}$
読み取り電流密度	:	$\sim 3 \times 10^3 \text{ A/cm}^2$
読み取り電流パルス	:	$\sim 6.4 \mu\text{A}, 1\text{Hz}$
CPP-GMR 4% $\Delta R/R$	:	$\sim (800 \mu\Omega / 16 \text{ m}\Omega)$
平均読み取り電圧	:	$\sim 5 \text{ nV}$
磁気記録密度	:	$\sim 6.5 \text{ Gbit/inch}^2$

測定された記録密度は、陽極酸化アルミナ基板の細孔径を制御し、ナノチューブ径すなわち磁気メモリ素子径を最適化することによって向上させることが可能である。電界研磨されたアルミニウム基板に対するAr、Ga等のイオンスパッタリングといった方法によって細孔成長の開始点を制御してやると、細孔径を数10~数100 nmの範囲で制御することが可能である。

#### (実施例2)

強磁性金属を包含したカーボンナノチューブは、アーク放電法等による合成時に用いる黒鉛電極に、強磁性金属を含有させることによって得ることができる。本実

施例では、このようにして得られるカーボンナノチューブから磁気メモリ装置を組み立てた。

まず、グラファイト粉末に、Ni, Y, パーマロイ (NiFe合金) 粉末を各重量比で4%, 1%, 4%加えた混合物を作製し、さらにカーボンピッチを加えて、真空中900℃で6時間焼成した。これをカソード電極として、He雰囲気中、200 Torrの圧力下において、接触アーク法によるアーク放電を行った。

得られた炭素すすを磁場中で分散させることにより、磁性体内包ナノチューブを選択的に取り出した。Niはカーボンナノチューブ生成の触媒として働くため、ほぼすべてのチューブの一端に内包されている。そこで、他端にパーマロイの詰まったチューブを選択的に取り出す必要がある。次に、得られた磁性ナノチューブのうち、一端に強磁性Niが、他端にパーマロイが内包されたチューブのみを走査型電子顕微鏡で視認しながら集めた。

こうして集められたカーボンナノチューブの1つ1つは、スピン注入型磁気メモリ素子としての基本構造を有している。すなわち固定層として硬磁性体であるNi層が、スピン伝導層として中空のナノチューブ、自由層としてパーマロイ層が形成されている。これらのカーボンナノチューブは、ファン・デル・ワールス力で約0.3 nmの間隔をおいて互いに凝集する。

この磁性体内包ナノチューブの両端に、電極および引出し用配線として、より径の細いナノチューブをアトムマニピュレーション法により接合させた。以下は、実施例1と同様にして磁気メモリ装置を完成した。

なお、本発明は、上記実施の形態および実施例に限定されるものではなく、種々の変形実施が可能である。例えば、上記第2の実施の形態では、カーボンナノチューブ10のスピン伝導層3の部分は中空のまま用いることにしたが、同じくスピンコヒーレンス長の長い導電性の常磁性材料を内包させてもよい。その候補としてはフラーレンなどの炭素材料、Ag, Auなどの反強磁性でない3d金属、4d金属が挙げられる。

また、第2の実施の形態では、主要部がカーボンナノチューブ10の内に形成される磁気メモリ素子について説明したが、カーボンナノチューブ10をそのほかの

筒状分子、例えばボロンナイトライド（BN）チューブや、ペプチドナノチューブ等に代えても構わない。その場合、スピン伝導層 3 に相当する部分に、上記のような炭素材料や金属を充填させ、特性の改善を図るようにしてもよい。

さらに、第 2 の実施の形態では、カーボンナノチューブ 10 が固定層 1，自由層 2 を内包するようにしたが、さらにボンディング性をよくするために電極層 4 A，4 B の一部を内包させてもよい。本発明の磁気メモリ素子は、少なくとも固定層、自由層の間に設けられるスピン伝導層がカーボンナノチューブに代表される筒状分子で構成されていればよく、その他の素子構成要素を内包させるか否かは任意である。ただし、前述のように、導電性の筒状分子には磁気遮蔽効果が期待できるので必要に応じて内包する構造をとることが好ましい。

本発明のメモリ素子またはメモリ装置によれば、スピン伝導層を中空を有する球殻状または筒状の分子材料により構成するようにしたので、スピニコヒーレンス長を制御することが容易となり、十分なスピニコヒーレンス長および均一なスピン場が得られる。従って、スピン偏極した伝導電子の常磁性層内での散乱を防止することが可能となり、信頼性が向上し、これにより実用化を図ることが可能となる。また、従来の誘起磁場方式と比較して、記録密度の上限を大幅に高めることができ、読出し時間の短縮や消費電力の削減を図ることが可能となる。特に、スピン伝導層を常磁性材料を内包した球殻状分子材料により形成することにより、均一な薄膜成長を行うことができる。

また、スピン伝導層を筒状分子により構成し、この筒状分子の軸方向における中央部をスピン伝導層として機能させると共に、この筒状分子の一方の端部に第 1 の強磁性層を、他方の端部に第 2 の強磁性層をそれぞれ内包させることにより、素子本体が筒状分子の中空部に収められた構成となる。従って、ナノサイズの筒状分子を選択することにより、従来の微細加工技術によらずにナノサイズのスピン注入型メモリ素子を実現することができる。すなわち、微小であるにもかかわらず、簡便な製造方法で、寸法がよく制御された素子を得ることができる。その場合の第 1 および第 2 の強磁性層は、筒状分子の径の大きさから単磁区構造をとると考えられ、また、筒状分子に内包されることで外部からの磁氣的擾乱が遮断されるために、磁

化配向を常に安定して保つことができる。なお、磁気遮蔽効果のおかげで、微小なサイズであっても現実集積化が可能となる。

また、筒状分子をカーボンナノチューブとすることにより、スピン伝導層では、カーボンナノチューブの良好なスピンコヒーレンスにより、スピンをほとんど緩和させずに偏極電子が伝導し、第1の強磁性層または第2の強磁性層へ注入される。よって、ナノサイズで、書き込み効率のよいスピン注入型メモリ素子を実現することができる。

更に、本発明のメモリ装置によれば、本発明のメモリ素子を複数配列したものとしたので、効率よく書き込みを行うことができ、低消費電力駆動が可能となる。特に、個々のメモリ素子を筒状分子を用いて構成すると、従来の薄膜作製技術によって2次元的に形成される素子とは異なり、円柱状の立体的な構造をとることから、垂直方向に配向させて集積することができる。さらに、このメモリ素子はスピン注入型であり、他の磁気メモリと比較して近接磁場の影響がほとんどないため、メモリセルのピッチをより狭くすることができ、高密度集積化が可能となる。

## 請求の範囲

1. スピン偏極した電子の注入によって記録情報の書き込みが行われるメモリ素子であって、

中空を有する球殻状または筒状の分子材料からなるスピン伝導層を備え、前記スピン伝導層によりスピン偏極した電子を伝導させる

ことを特徴とするメモリ素子。

2. 磁化の向きが固定される第1の強磁性層と、

中空を有し、前記中空に常磁性材料が内包されると共に所定のスピニコヒーレンス長を有する球殻状分子材料からなり、前記第1の強磁性層の一面に形成されたスピン伝導層と、

前記スピン伝導層における前記第1の強磁性層が形成された面とは反対側の面に形成され、前記スピン偏極した電子により磁化の向きが変化する第2の強磁性層とを備え、

前記第2の強磁性層の磁化の向きの変化により前記記録情報の書き込みが行われる

ことを特徴とする請求の範囲第1記載のメモリ素子。

3. 前記スピン伝導層を構成する球殻状分子材料は炭素分子フラーレンである

ことを特徴とする請求の範囲第2項記載のメモリ素子。

4. 前記球殻状分子材料は、大きさが0.1 nm以上50 nm以下の中空を有する炭素分子フラーレンである

ことを特徴とする請求の範囲第3項記載のメモリ素子。

5. 前記スピン伝導層の厚さは0.5 nm以上5 μm以下である

ことを特徴とする請求の範囲第2項記載のメモリ素子。

6. 前記球殻状分子材料に内包される常磁性材料は、ランタン (La), セシウム (Cs), ジスプロシウム (Dy), ユウロピウム (Eu) またはガドリニウム (Gd) である

ことを特徴とする請求の範囲第2項記載のメモリ素子。

7. 前記球殻状分子材料に内包される常磁性材料は、窒素 (N) またはリン (P) である

ことを特徴とする請求の範囲第 2 項記載のメモリ素子。

8. 前記第 1 の強磁性層と第 2 の強磁性層との間にスピン配列化層を備えた

ことを特徴とする請求の範囲第 2 項記載のメモリ素子。

9. 前記スピン配列化層は、希薄磁性体を内包している

ことを特徴とする請求の範囲第 8 項記載のメモリ素子。

10. 前記希薄磁性体は、(In, Mn)As, (Ga, Mn)As, (Cd, Mn)Te, (Zn, Mn)Te, および (Zn, Cr)Te のうちの少なくとも一種からなる

ことを特徴とする請求の範囲第 9 項記載のメモリ素子。

11. 前記球殻状分子材料に希薄磁性体が内包されており、前記スピン伝導層は、スピン配列化層としても機能する

ことを特徴とする請求の範囲第 2 項記載のメモリ素子。

12. 前記第 1 の強磁性層の厚みは、前記第 2 の強磁性層よりも厚い

ことを特徴とする請求の範囲第 2 項記載のメモリ素子。

13. 前記第 1 の強磁性層における前記スピン伝導層が形成された面とは反対側の面に、前記第 1 の強磁性層の磁化の向きを固定するための磁化固定層を備えた

ことを特徴とする請求の範囲第 2 項記載のメモリ素子。

14. 前記磁化固定層は反強磁性材料からなる

ことを特徴とする請求の範囲第 13 項記載のメモリ素子。

15. 前記磁化固定層は電極を兼ねている

ことを特徴とする請求の範囲第 13 項記載のメモリ素子。

16. 前記第 2 の強磁性層の厚みは 5 原子層以下である

ことを特徴とする請求の範囲第 2 項記載のメモリ素子。

17. 両面にそれぞれに電極が形成され、前記電極は常磁性金属材料からなる

ことを特徴とする請求の範囲第 2 項記載のメモリ素子。

18. 前記第 2 の強磁性層にはスピン偏極した電子を注入するための書き込み線が接続されている

ことを特徴とする請求の範囲第1項記載のメモリ素子。

19. セル面積は $0.5\text{ nm}^2$ 以上 $5\text{ }\mu\text{m}^2$ 以下である

ことを特徴とする請求の範囲第2項記載のメモリ素子。

20. 記録情報を、電流を流したときに生じる巨大磁気抵抗効果を利用して読み出す

ことを特徴とする請求の範囲第2項記載のメモリ素子。

21. 記録情報を、前記第2の強磁性層に光を照射し、そのときに生じる磁気カー効果を利用して読み出す

ことを特徴とする請求の範囲第2項記載のメモリ素子。

22. スピン偏極した電子の注入によって、少なくとも一方の磁化方向変化が誘起される第1および第2の強磁性層と、

前記第1および第2の強磁性層の積層方向を軸方向として配置される中空の筒状分子の少なくとも一部からなり、前記第1の強磁性層と第2の強磁性層の間に設けられてその磁氣的相互作用を遮断すると共にスピン偏極した電子を伝導させるスピン伝導層と

を備えたことを特徴とする請求の範囲第1項記載のメモリ素子。

23. 前記筒状分子は、軸方向における中央部が前記スピン伝導層として機能すると共に、一方の端部に第1の強磁性層を、他方の端部に第2の強磁性層をそれぞれ内包している

ことを特徴とする請求の範囲第22項記載のメモリ素子。

24. 前記筒状分子の1分子が、素子の一構成単位となっている

ことを特徴とする請求の範囲第22項記載のメモリ素子。

25. 前記筒状分子からなるスピン伝導層は、その軸方向の長さが動作温度における自身のスピニコヒーレンス長よりも短い

ことを特徴とする請求の範囲第22項記載のメモリ素子。

26. 前記筒状分子からなるスピン伝導層は、中空部分に他の分子または原子を内包している

ことを特徴とする請求の範囲第22項記載のメモリ素子。



27. 前記第1の強磁性層と第2の強磁性層との間にスピンの配列化層を備えたことを特徴とする請求の範囲第22項記載のメモリ素子。
28. 前記スピンの配列化層は、希薄磁性体を内包していることを特徴とする請求の範囲第27項記載のメモリ素子。
29. 前記希薄磁性体は、(In, Mn)As, (Ga, Mn)As, (Cd, Mn)Te, (Zn, Mn)Te, および (Zn, Cr)Teのうちの少なくとも一種からなることを特徴とする請求の範囲第28項記載のメモリ素子。
30. 前記中空部分に内包される分子または原子の動作温度におけるスピンのコヒーレンス長は、前記スピン伝導層における筒状分子の軸方向の長さよりも長いことを特徴とする請求の範囲第26項記載のメモリ素子。
31. 前記筒状分子はカーボンナノチューブであることを特徴とする請求の範囲第22項記載のメモリ素子。
32. 複数のメモリ素子が配列されてなるメモリ装置であって、  
前記メモリ素子は、中空を有する球殻状または筒状の分子材料からなるスピン伝導層を備え、前記スピン伝導層によりスピン偏極した電子を伝導させることを特徴とするメモリ装置。
33. 前記メモリ素子は、  
磁化の向きが固定される第1の強磁性層と、  
中空を有し、前記中空に常磁性材料が内包されると共に所定のスピンのコヒーレンス長を有する球殻状分子材料からなり、前記第1の強磁性層の一面に形成されたスピン伝導層と、  
前記スピン伝導層における前記第1の強磁性層が形成された面とは反対側の面に形成され、スピン偏極した電子により磁化の向きが変化する第2の強磁性層とを備え、  
前記第2の強磁性層の磁化の向きの変化により記録情報の書き込みが行われることを特徴とする請求の範囲第32項記載のメモリ装置。
34. 前記スピン伝導層を構成する球殻状分子材料は、炭素分子フラーレンであることを特徴とする請求の範囲第33項記載のメモリ装置。

35. 前記メモリ素子は、

スピン偏極した電子の注入によって、少なくとも一方の磁化方向変化が誘起される第1および第2の強磁性層と、

前記第1および第2の強磁性層の積層方向を軸方向として配置される中空の筒状分子の少なくとも一部からなり、前記第1の強磁性層と第2の強磁性層の間に設けられてその磁氣的相互作用を遮断すると共にスピン偏極した電子を伝導させるスピン伝導層とを備えている

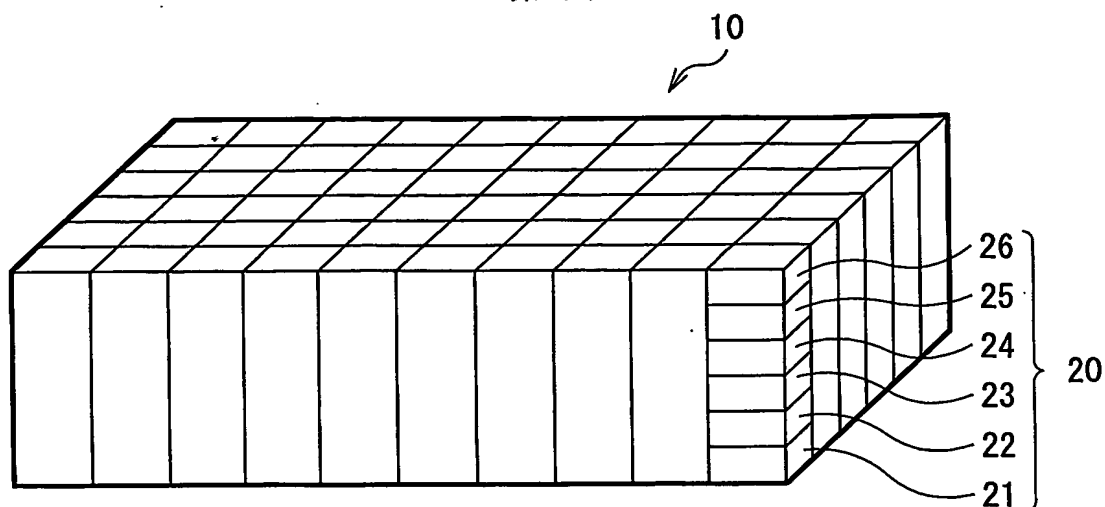
ことを特徴とする請求の範囲第32項記載のメモリ装置。

36. 前記メモリ素子は、前記筒状分子の軸方向を揃えて配列することによって集積化されている

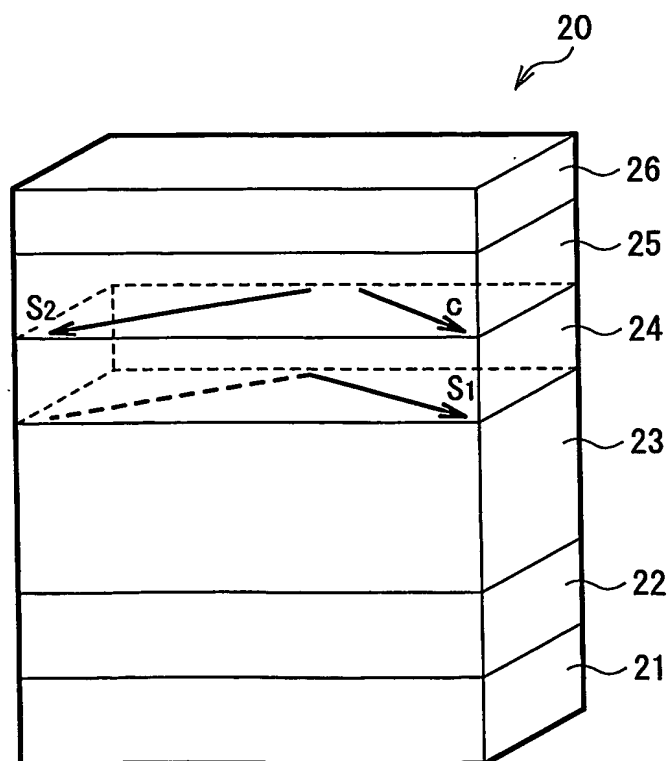
ことを特徴とする請求の範囲第35項記載のメモリ装置。

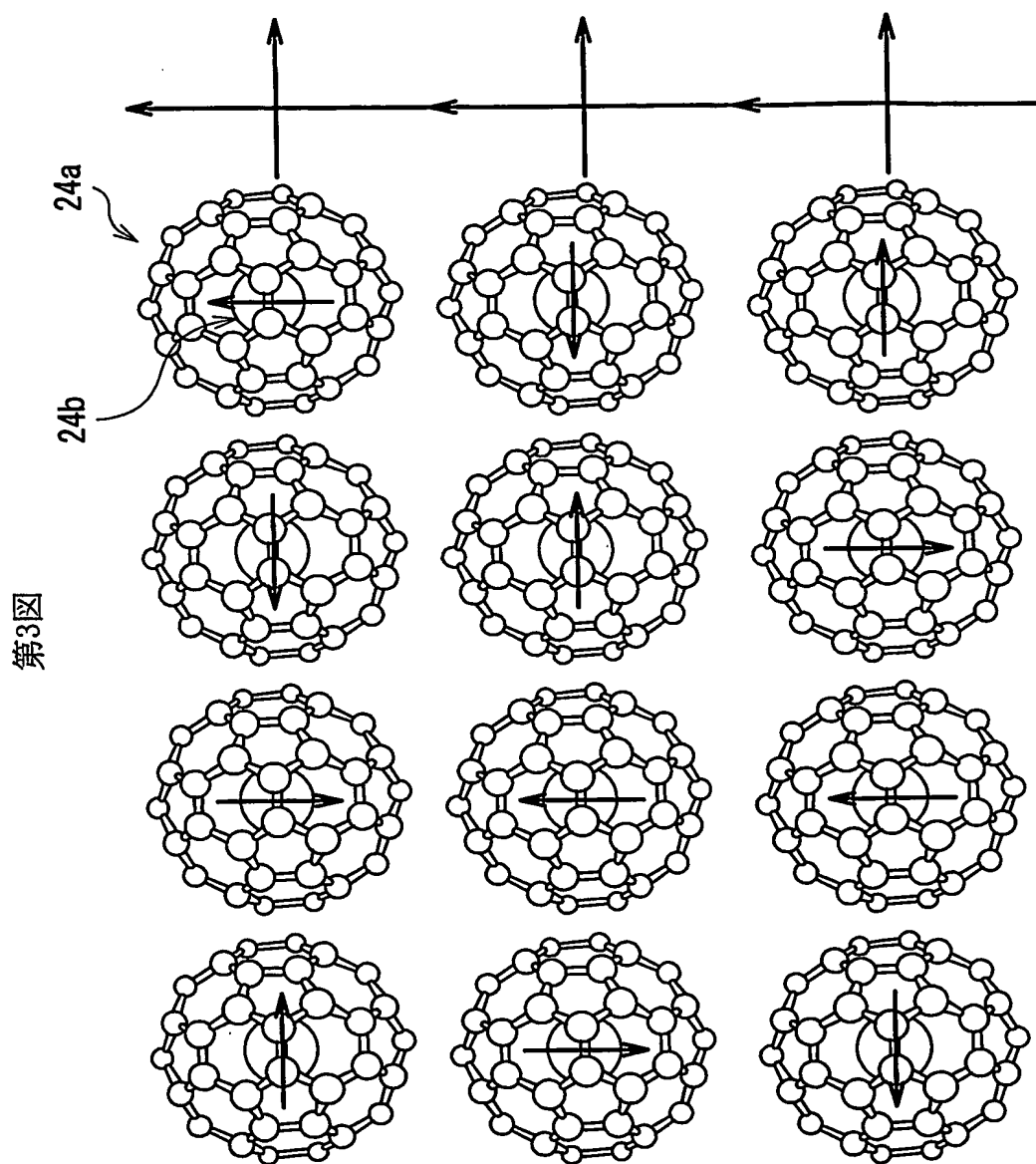
1/14

第1図



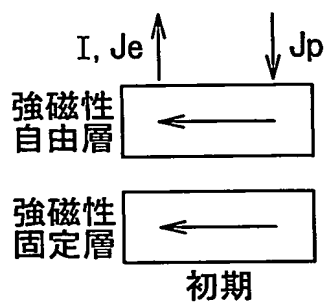
第2図



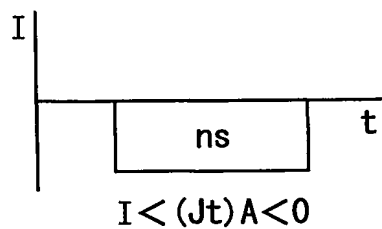


3/14

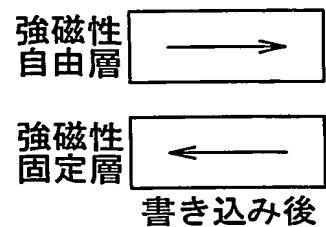
第4A図



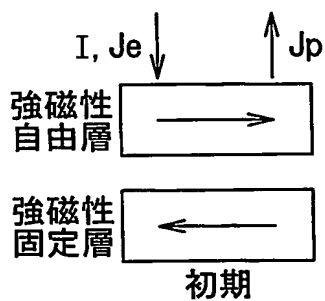
第4B図



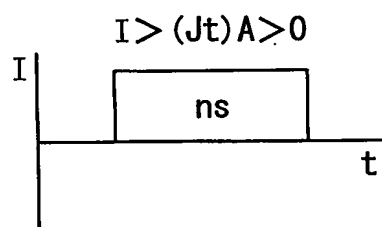
第4C図



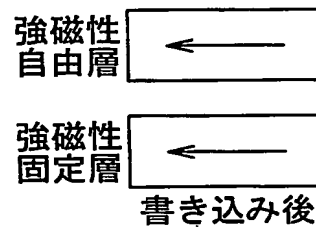
第5A図



第5B図

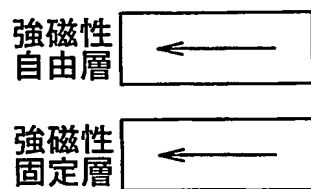


第5C図

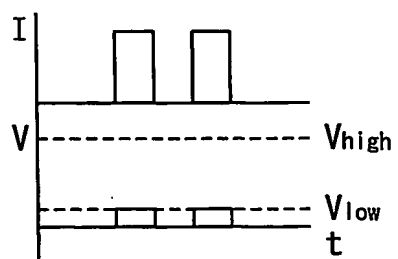


4/14

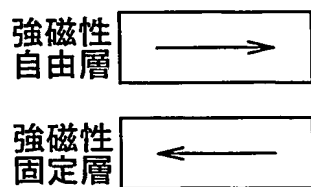
第6A図



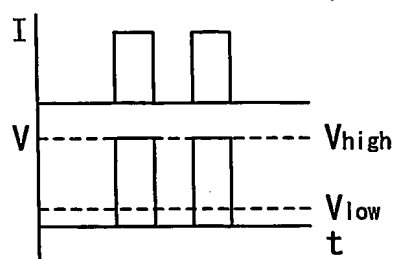
第6B図



第7A図

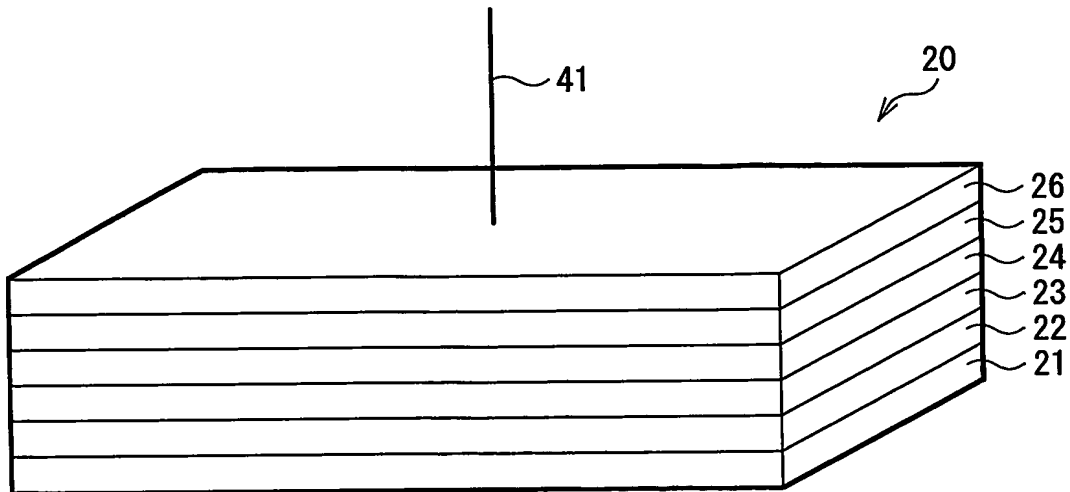


第7B図

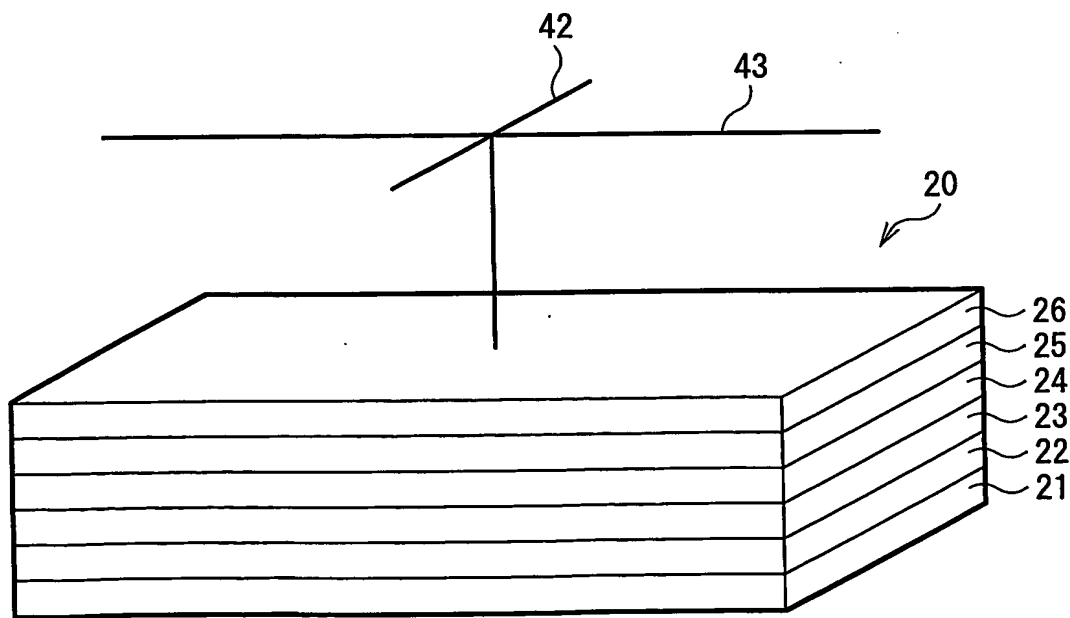


5/14

第8図

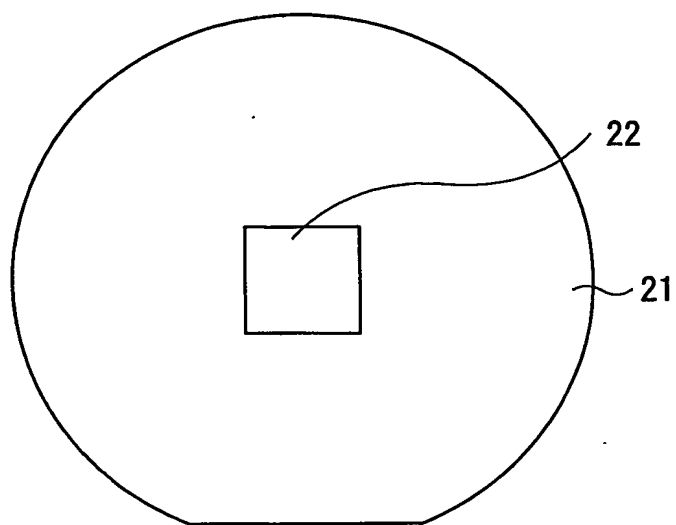


第9図

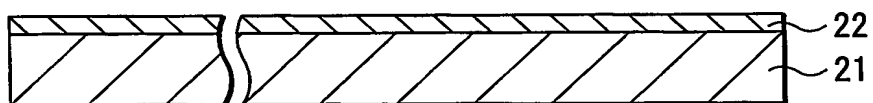


6/14

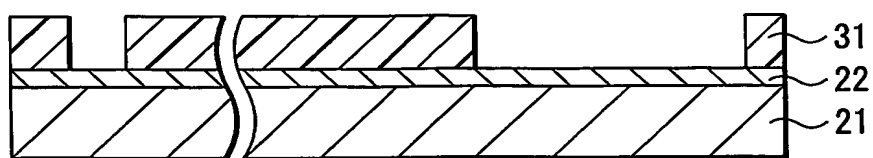
第10図



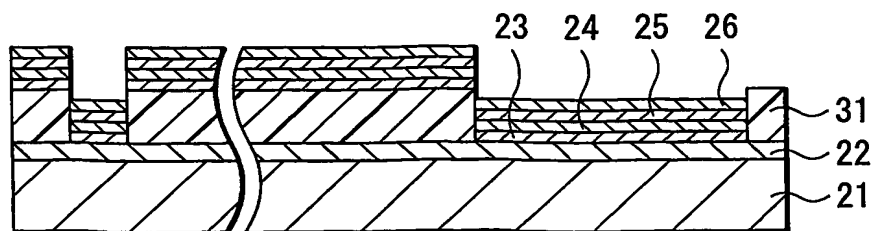
第11A図



第11B図



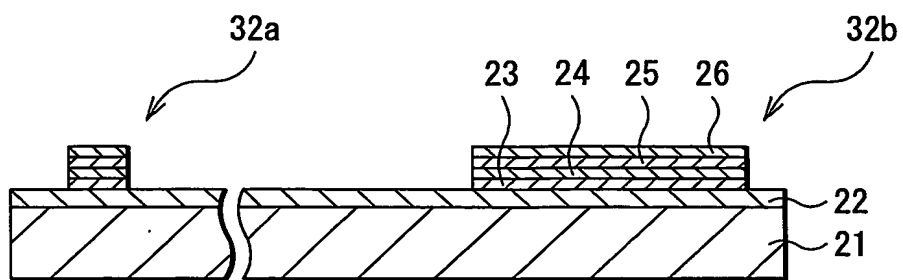
第11C図



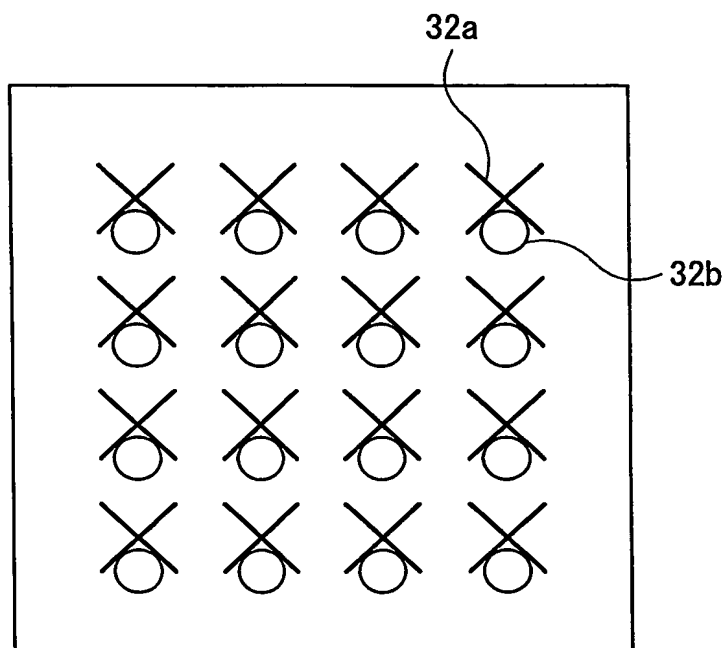


7/14

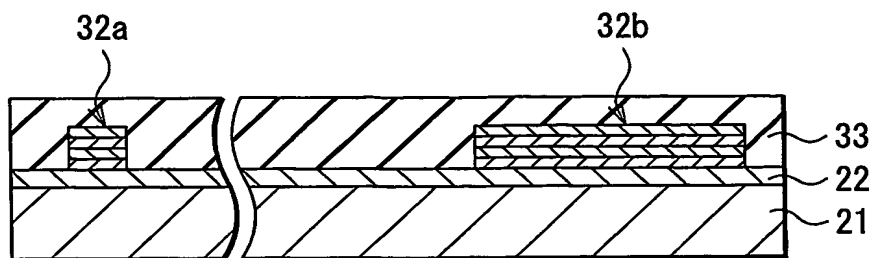
第12図



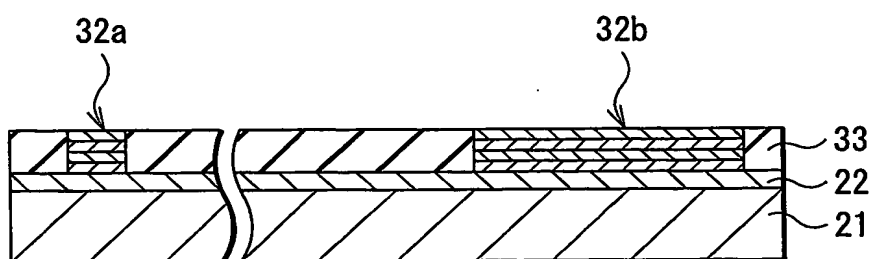
第13図



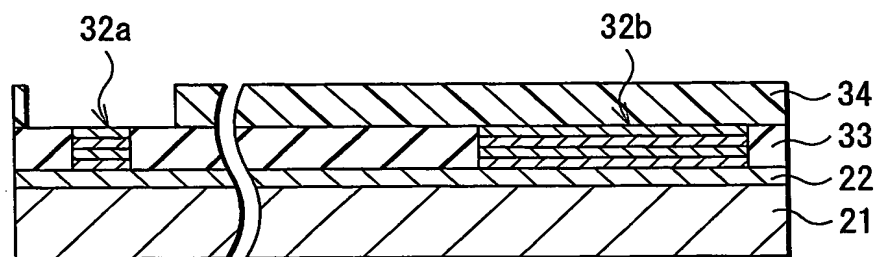
第14A図



第14B図

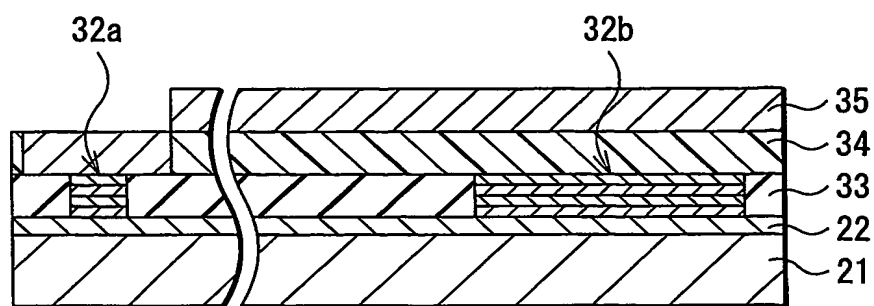


第14C図

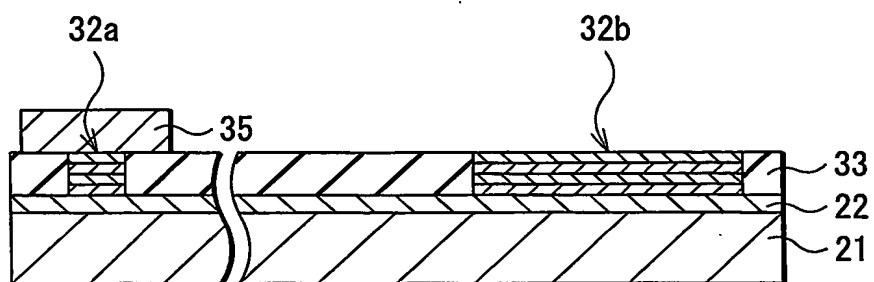


9/14

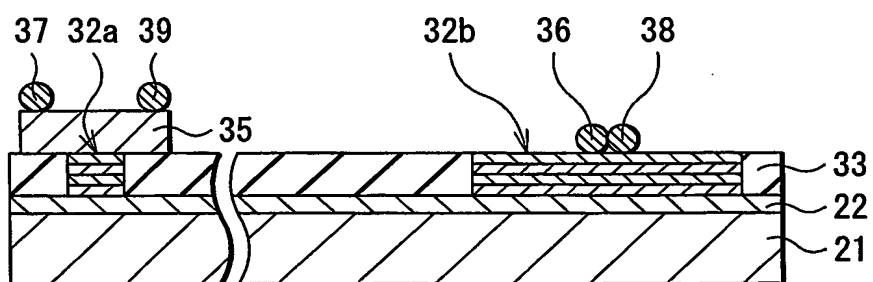
第15A図



第15B図

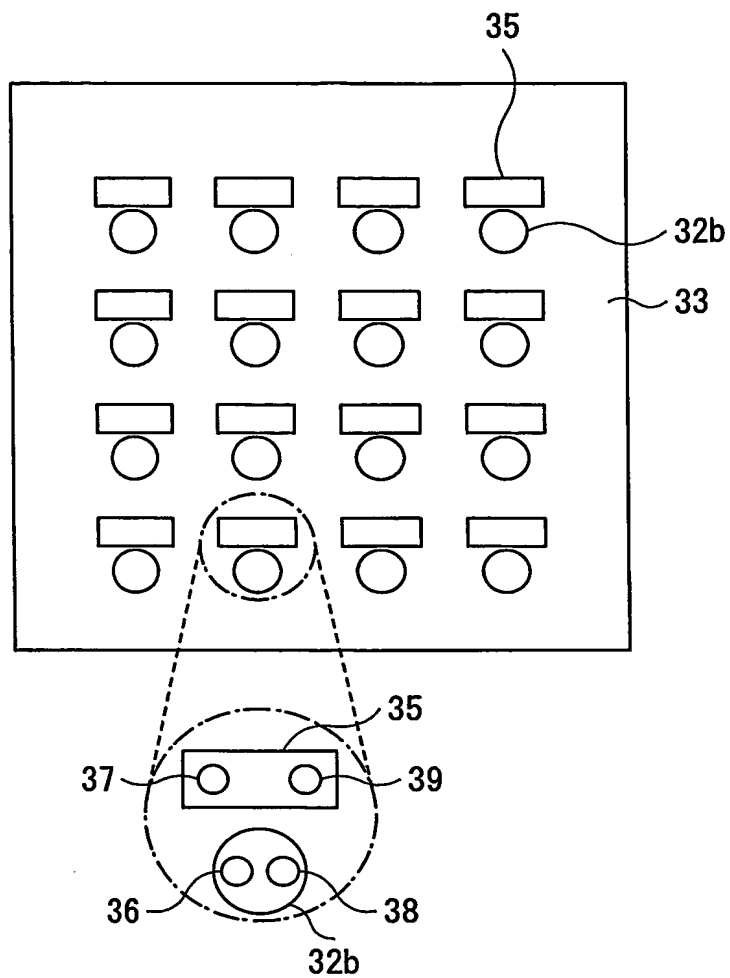


第15C図



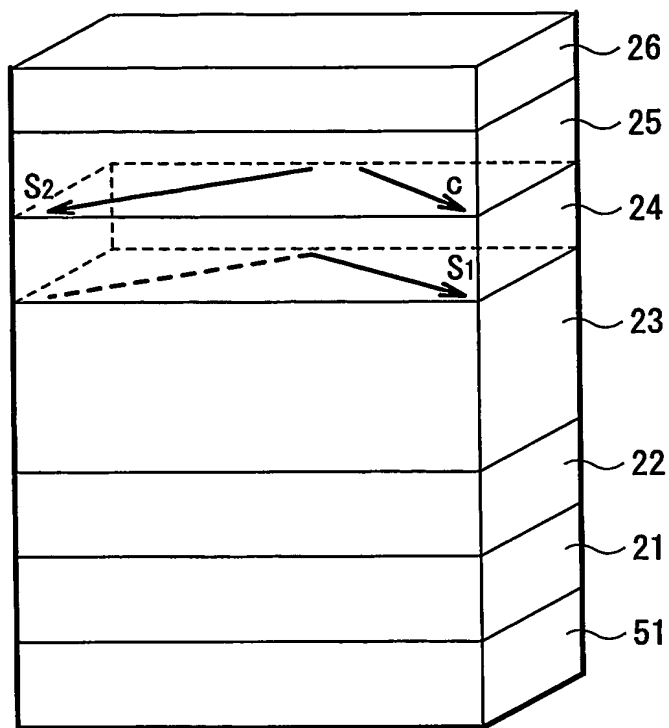
10/14

第16図

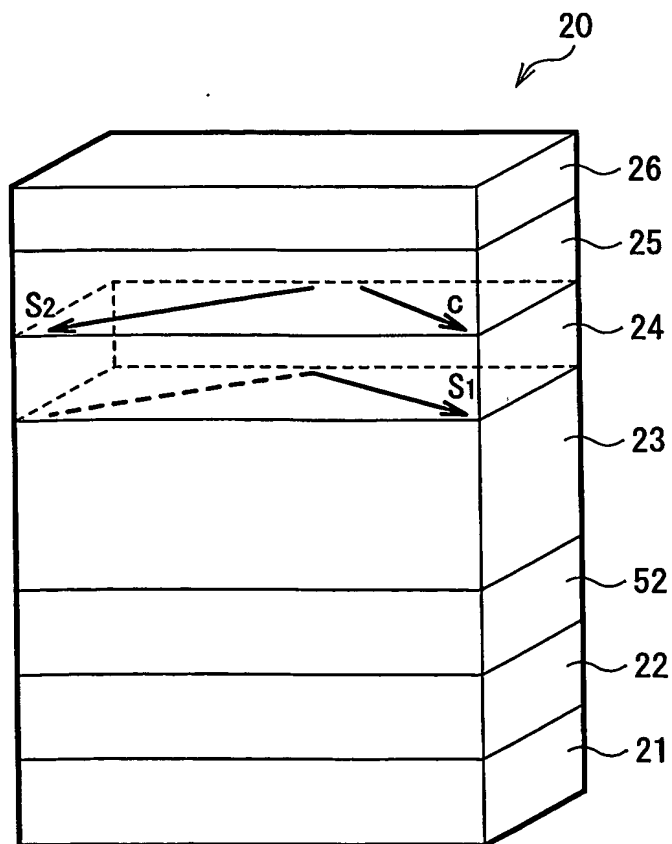


11/14

第17図

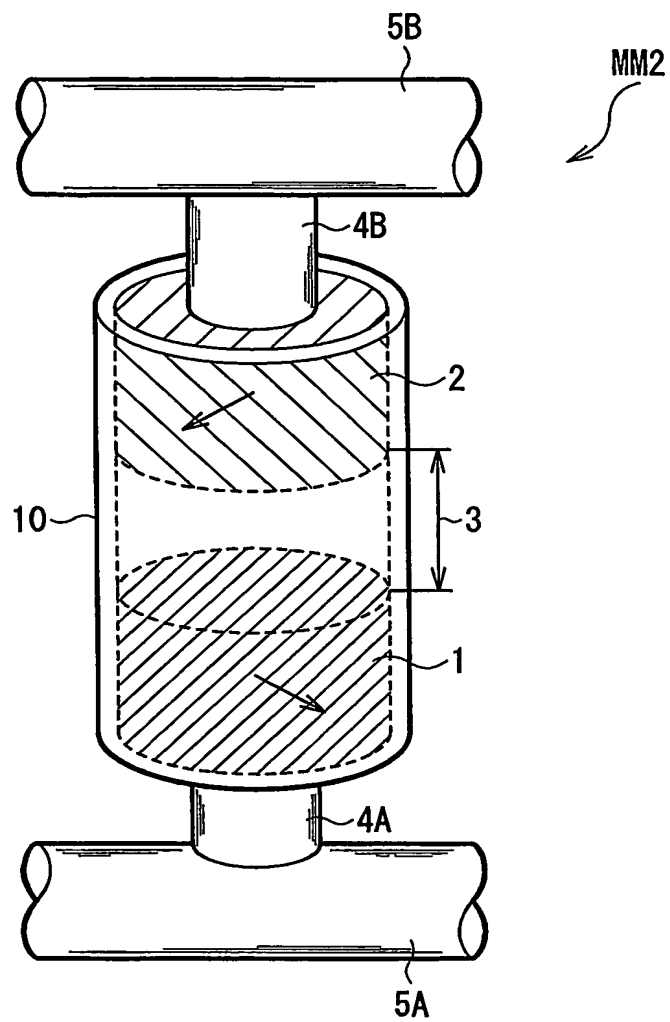


第18図



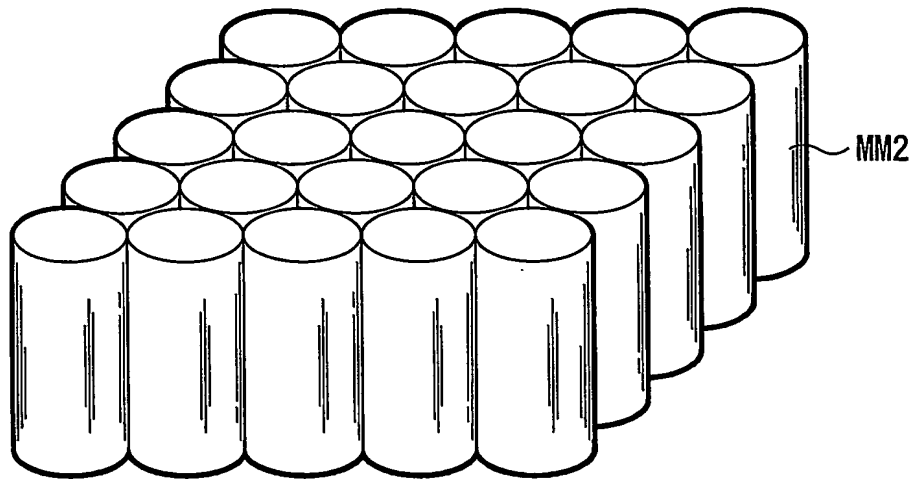
12/14

第19図

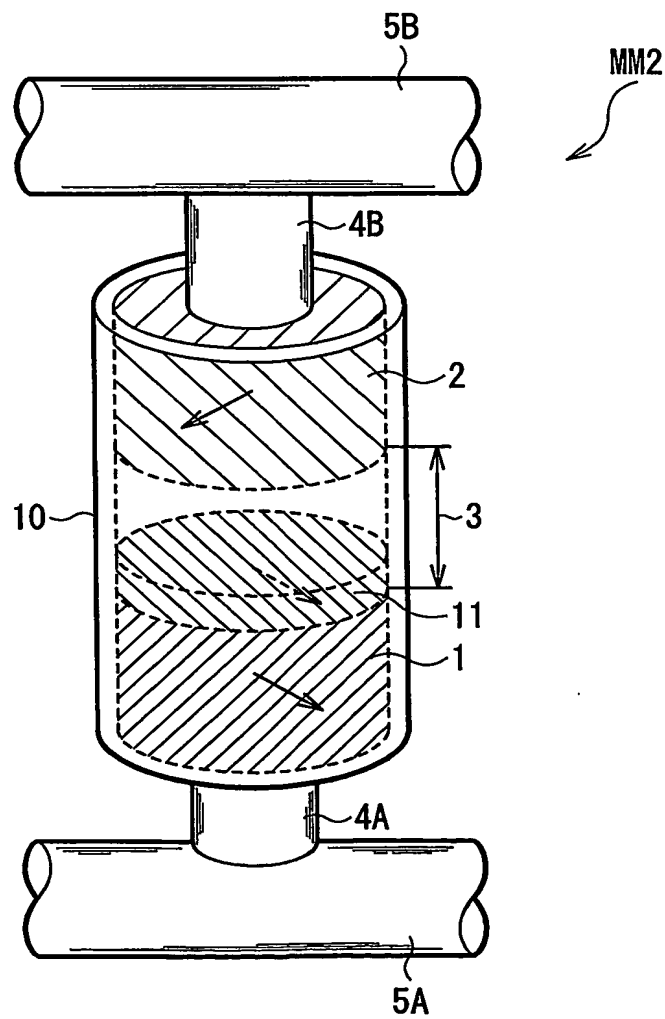


13/14

第20図

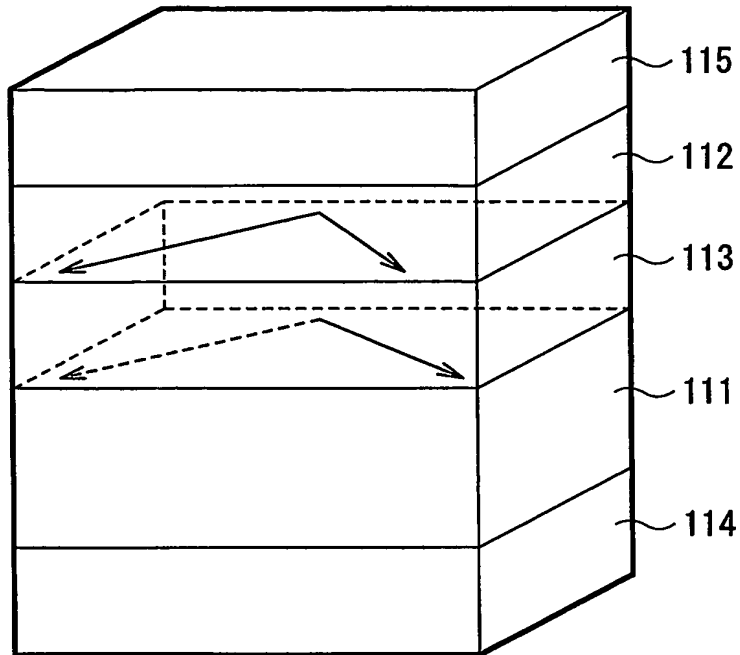


第21図



14/14

第22図





# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/12647

## A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl.<sup>7</sup> H01L27/105, H01L43/08, H01L43/10

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl.<sup>7</sup> H01L27/105, H01L43/08, H01L43/10

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2004
Kokai Jitsuyo Shinan Koho	1971-2004	Toroku Jitsuyo Shinan Koho	1994-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 11-120758 A (Sony Corp.), 30 April, 1999 (30.04.99), Full text (Family: none)	1-36
A	US 2001/0026468 A1 (Akio TANIKAWA), 04 October, 2001 (04.10.01), Full text & JP 2001-267513 A Full text	1-36
E, A	JP 2003-347515 A (UMK Technology Kabushiki Kaisha), 05 December, 2003 (05.12.03), Full text; (Family: none)	1-36

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

\* Special categories of cited documents:  
 "A" document defining the general state of the art which is not considered to be of particular relevance  
 "E" earlier document but published on or after the international filing date  
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)  
 "O" document referring to an oral disclosure, use, exhibition or other means  
 "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention  
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone  
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art  
 "&" document member of the same patent family

Date of the actual completion of the international search  
05 January, 2004 (05.01.04)

Date of mailing of the international search report  
20 January, 2004 (20.01.04)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))  
Int. Cl<sup>7</sup> H01L27/105, H01L43/08, H01L43/10

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))  
Int. Cl<sup>7</sup> H01L27/105, H01L43/08, H01L43/10

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2004年
日本国実用新案登録公報	1996-2004年
日本国登録実用新案公報	1994-2004年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 11-120758 A(ソニー株式会社) 1999. 04. 30, 全文 (ファミリーなし)	1-36
A	US 2001/0026468 A1(Akio TANIKAWA) 2001. 10. 04, 全文 & JP 2001-267513 A, 全文	1-36
EA	JP 2003-347515 A(ユーエムケー・テクノロジー株式会社) 2003. 12. 05, 全文 (ファミリーなし)	1-36

☐ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

\* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの  
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
「O」 口頭による開示、使用、展示等に言及する文献  
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
「&」 同一パテントファミリー文献

国際調査を完了した日

05. 01. 2004

国際調査報告の発送日

20.01.04

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

正山 旭

4M

9276

電話番号 03-3581-1101 内線 3460